

スーパースカラ型 CPU コアの低消費電力化手法の提案

柴田 善水[†] 林田 隆則[†] 佐藤 寿倫[†] 高橋伸弥[†]

[†] 福岡大学工学部電子情報工学科

1. はじめに

近年、高性能化と微細化によりハイパフォーマンス CPU の消費電力が増大している。CMOS 回路の消費電力はダイナミック電力とスタティック電力とに分けられる。前者は電源電圧の自乗に比例するため、それを下げるとは低電力化において効果的である。しかし遅延時間の増加を招くので、同時に閾値電圧も下げなければならない。一方後者はリーク電流が主要因であり、閾値電圧減に対して指数的に増大する。その結果、近年はダイナミック電力と同程度になり、深刻な問題になっている[1]。つまり電源電圧や閾値電圧を単に上げ下げするだけでは低電力化はできない。そこで本研究では、二種類の電力をバランス良く低電力化する方式を提案する。

2. 電力ヘテロな演算器構成

スーパースカラ型 CPU は多数の演算器を備えるが常には全てを利用していないことに着目し、ハイブリッドローカルメモリの方式[2]を演算器に応用した電力ヘテロな演算器構成を提案する。利用頻度の低い演算器はスタティック電力が小さいことが望ましい。対照的に、利用頻度の高い演算器はダイナミック電力が小さいことが望ましい。そこで、閾値電圧の高いトランジスタを採用するスタティック電力の小さな演算器(タイプ 1)と、閾値電圧の低いトランジスタを採用するスタティック電力の大きな演算器(タイプ 2)とを用いる。タイプ 1 は高速動作のために高い電圧を必要とし、ダイナミック電力が大きい。タイプ 2 は低電圧で高速動作可能なためダイナミック電力は小さい。二種類の演算器を適切に利用して低電力化を図る。

3. 評価

4 つの演算器を持つ CPU を仮定する。全演算器がタイプ 2 である場合を基準とし、低電力化を図る。タイプ 1 へ置き換える演算器の数を変え、タイプ 2 に比したタイプ 1 のダイナミック電力増が許

容出来る範囲を調べることで、低電力化の可能性を評価する。

SimpleScalar 上で SPEC2000 ベンチマークをシミュレーションした結果を図 1 に示す。横軸はタイプ 1/2 の演算器構成を、縦軸はタイプ 1/2 のダイナミック電力の比率を示している。3 本の線はそれぞれ、基準の場合にスタティック電力が全電力の 30%/40%/50%を占めるときの結果である。タイプ 1 のダイナミック電力が線よりも下にあれば低電力化が可能である。

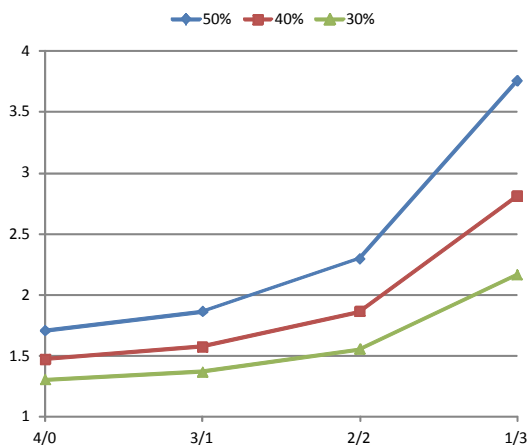


図 1. タイプ 1 演算器のダイナミック電力増許容範囲

4. まとめ

ハイパフォーマンス CPU で二種類の演算器を組み合わせることにより、低電力化が可能であることを示した。この結果は、演算器開発の際の設計指針となり得る。

謝辞

本研究の一部は、福岡大学研究推進部の研究経費(課題番号:117005), 及び科研費挑戦的萌芽研究(課題番号:23650026)によるものである。

参考文献

- [1] 高性能コンピュータ技術の基礎, 毎日コミュニケーションズ, 2011.
- [2] 松村 他, 情処研報 2007-SLDM-131, 2007.