

分岐予測器の状態数とエントリ数のトレードオフに関する考察

田端 隼人[†] 林田 隆則[†] 佐藤 寿倫[†] 高橋伸弥[†]

[†] 福岡大学工学部電子情報工学科

1. はじめに

コンピュータが登場以来 60 余年であるが、その中核であるプロセッサは、スマートフォンはもちろん乗用車や家電に至るまで用いられ、現代社会を支える重要なデバイスとなった。そのため、その性能向上がもたらす恩恵は無視できない。パイプライン処理は命令スループットを改善することでプロセッサ性能を向上させるが、ハザードと呼ばれる事象が発生すると、その効率が悪化する。本研究ではそのうちの制御ハザードに着目した。

2. 分岐予測

制御ハザードは分岐命令に起因する。それによる遅延を回避する技術が分岐予測であり[1]、条件分岐命令の分岐方向を予測する。予測精度がプロセッサ性能とその結果の消費電力に大きく影響するため、その向上が課題である。予測には多数のカウンタから成る予測表を用いる。カウンタのビット数を1から2に増やすと精度は大きく改善するが3に増やしても改善度は小さい[2]とされていたため、従来は2ビットカウンタが用いられてきた。ところがインテルは、2倍のエントリ数を持つ1ビット型予測器の方が精度が良いという理由で、SandyBridgeで1ビットカウンタを採用した[3]。我々は予測精度が逆転する理由を、半導体技術進展の恩恵で予測表のエントリ数が増大しビット数と予測精度の関係に変化が生じたためだろうと予想した。本研究の目的はこの予想を確認することである。

3. 実験

nビット飽和型予測器(bimodal)[1]とgshare型予測器[2]に着目し、それぞれ1ビットと2ビットのカウンタを採用する予測器を用意する。Computer Architecture Competitions [4]が提供している40種類の実行トレースを用いてシミュレーションを行った。エントリ数を変化させ、予測ミス率を測定

した。図1にトレースCLIENT01での結果を示す。横軸は予測表の容量(バイト)で、縦軸は予測精度(MPKI:1K 命令当たりの失敗回数)である。SandyBridge Core i7-2960XMのキャッシュ容量はL1/L2/L3でそれぞれ256KB/1MB/8MBなので、十分大きな予測表を用いていることがわかる。他のトレースでも同様の結果であった。

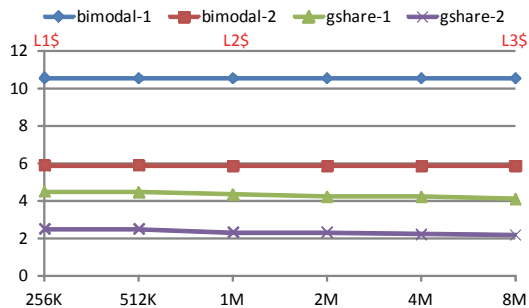


図1. 分岐予測精度

4. まとめ

状態数と予測方式が異なる4種類の分岐予測器を対象に、エントリ数を変更しながらシミュレーションを実行し、予測ミス率を測定し比較した。テーブルサイズの増加に伴って予測精度が向上していく様子を確認出来たが、nビット飽和型とgshare型のどちらとも、異なる状態数において予測ミス率が逆転することはなかった。今後は、構成の異なる予測器でも同様の結果になるのかどうかを確認したい。

謝辞

本研究の一部は、福岡大学研究推進部の研究経費(課題番号:117005)、及び科研費挑戦的萌芽研究(課題番号:23650026)によるものである。

参考文献

- [1] プロセッサを支える技術, 技術評論社, 2011.
- [2] J.Lee et al., IEEE Computer, 17(1), 1984.
- [3] Microprocessor Report, 9/27/10-01, 2010.
- [4] JWAC-2: Championship Branch Prediction.