

D-6 高性能・省電力プロセッサ向けメモリスケジューリング手法の調査

吉田 康洋*, 林田 隆則*, 佐藤 寿倫*

(*福岡大学工学部)

1. はじめに

プロセッサ性能の大きな要素として消費電力がある。半導体の製造技術の発展によって処理性能は著しく増加したが、同時に消費電力も増加してきた。このような背景の中、今やマルチコアプロセッサが主流となり台頭しているが、コア数が増えるにつれメモリへの要求が大きくなっている。マルチコアプロセッサではメインメモリはコア間の共有資源であり、アクセス競合を減らすことで性能と電力を改善できる。それを可能にするメモリスケジューリングアルゴリズムを考案することが本研究の課題である。そこで既存のスケジューリングアルゴリズムを調査した。

2. 調査の背景と目的

国際会議ISCAでメモリスケジューリングアルゴリズムのコンテスト[1]が開催された。ここで公開されたソースコードを利用して実験を行い、アルゴリズムを詳細に調査する。4つのスケジューラを選択した。主催者が提供している基準となるスケジューラ (fcfsと呼ぶ) と、並列処理の公平さ部門、処理時間性能部門、そして電力部門でそれぞれ一位となったスケジューラ (それぞれskhy, tit, uicと呼ぶ) である。fcfsはシンプルなfirst-come first-serveアルゴリズムを利用している。skhyは①学習期間の短いフェーズ予測機を利用し②リフレッシュとライトをオーバーラップさせることを、titは①長期間リクエストが無いスレッドやリードリクエストの少ないスレッドを優先し②バンク単位でライトを処理することを、uicは①リオーダーバッファをブロックするリード要求のあるスレッドを優先し②同じrowへのリクエストをまとめることを、それぞれ特徴としている。現状では、どれも省電力モードを利用していない。これらのスケジューラが持つ課題と、電力効率を決める要因とを見出すことを目的とする。

3. 実験結果と考察

この目的を達成するために評価環境としてトレースベースのシミュレータUSIMM[1]を使用する。3.2GHz動作の4コアプロセッサは、channel当たりのrank数が2、rank当たりのbank数が8、bank当たりのrow数が128KのDDR3メモリと、800MHz動作のバスで接続される。ワークロードのCOMM1とCOMM2はサーバ級の商用トランザクション処理で、特徴的な5億命令を含むトレースである。それぞれ2つのCOMM1とCOMM2を各コアで独立に実行した結果をc1-c1-c2-c2-Xと呼ぶことにする。Xはチャンネルの本数で、今回の実験では1または4である。評価指標にはエネルギー遅延積EDPを用いる。表1にEDPを、表2にメモリの消費電力を、そして表3に実行サイクル数をそれぞれ示す。プロセッサコアの消費電力はチャンネルが1本と4本の場合でそれぞれ概ね18Wと36Wであり、スケジューラによる違いはほとんど無い。電力部門一位のuicの結果が芳しくなく、EDPで最も優れた値を収めたのはskhyとなった。消費

電力ではfcfsに次いでuicが優れているにも関わらず、消費電力とサイクル数とをバランス良く改善させたskhyが最もEDPを改善できている。メモリの消費電力はコアのその約1/2~1/4であり、EDPを計算するときには実行時間の2乗と電力を掛け合わせるため、僅かな電力改善よりも実行サイクル数改善の方が大きな効果となった。だが、fcfsを除く3つのEDP結果は僅差であり、デバイスの用途に応じてエネルギー消費量あるいは実行時間のいずれかの小さいものを選択して利用することが良いと思われる。

表1. EDP (J・sec)

	fcfs	skhy	tit	uic
c1-c1-c2-c2-1	1.523	1.226	1.254	1.235
c1-c1-c2-c2-4	0.998	0.779	0.801	0.787

表2. メモリの消費電力 (W)

	fcfs	skhy	tit	uic
c1-c1-c2-c2-1	7.716	8.280	9.023	8.178
c1-c1-c2-c2-4	8.224	8.186	8.298	7.924

表3. 実行サイクル数 ($\times 10^6$)

	fcfs	skhy	tit	uic
c1-c1-c2-c2-1	657.0	587.4	585.2	585.6
c1-c1-c2-c2-4	347.0	306.1	310.3	308.4

4. まとめ

今後はこの考察結果を基にして、今回調査しなかったスケジューラを含む既存のアルゴリズムを改良し、EDPの改善を試みる。今回の実験結果からは消費電力と実行時間とをバランス良く削減することが有効であると分かったが、後者の改善にはコア数を増やして大量の処理を同時実行する方法が考えられる。並列化できる処理や単一の処理を得意とするコアとの兼ね合いからハードウェアからソフトウェア、デバイスの用途までとを一体化して考え、最適化を図る必要がある。また、今回の4つのスケジューラはいずれもメモリの省電力モードを活用出来ていない。ここにもEDP改善の鍵があるかも知れない。

謝辞

本研究の一部は、福岡大学研究推進部の研究経費 (課題番号: 117005)、及び科研費挑戦的萌芽研究 (課題番号: 23650026) によるものである。

参考文献

- [1] 3rd JILP Workshop on Architecture Competitions: Memory Scheduling Championship, <http://www.cs.utah.edu/~rajeev/jwac12>, Accessed on 9 Aug. 2013.