

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL061243	氏名	川内 康義
論文題目	パーセプトロン分岐予測器のハードウェア規模と予測精度の関係調査		

1. はじめに

近代的なプロセッサにとって、分岐予測は不可欠な技術となっている。パイプラインはますます深化する傾向にある。処理速度の低下は分岐予測ミスに大きく関わってくる。そのために分岐予測ミスを抑えること、予測精度向上が必要となる[1]。本研究では、パーセプトロン分岐予測器に着目し、高精度の予測に必要なハードウェア量を見積もるために、メモリの容量を変化させて予測精度の向上に対する評価を行う。

2. 背景

今回用いるのは、実行パス履歴を重み選択に用いたパーセプトロン分岐予測器である。これは、パイプライン構造のパーセプトロン分岐予測器において、実行パス履歴の情報を効率的に利用し、パーセプトロン分岐予測器の重み選択のインデックスにローカル履歴情報を付加することで予測精度を向上させている。従来と比較すると、予測計算に要するレイテンシは同程度でありながら、予測ミス率を軽減できる[2]。

3. 評価方法

第2回分岐予測コンテスト[3]で上位入賞した Gao、Ishii、Ninomiya、Seznec の4つの予測器を評価する。Ninomiya がパーセプトロン型である。はじめに4つの予測器を、次に Ninomiya を用いてハードウェア規模と予測精度の関係をシミュレーションする。

4. 結果

図1の4つの予測器の結果から、パーセプトロン分岐予測器の精度が悪かった。原因は

コンテストでのハードウェア規模の制限が原因と考えられる。

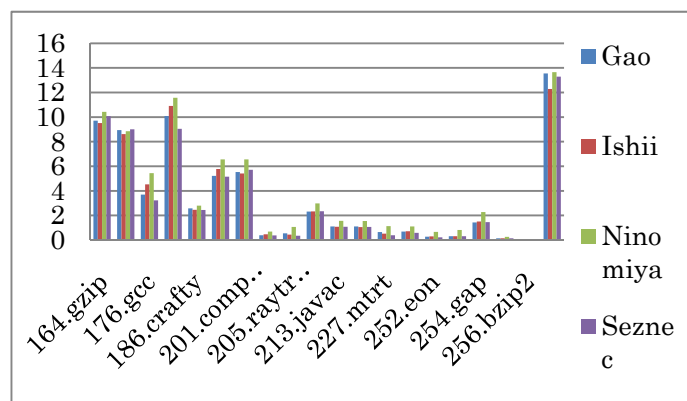


図1 4つの予測器の結果

図2の結果から、ハードウェア規模を増加させると予測精度が減少した。

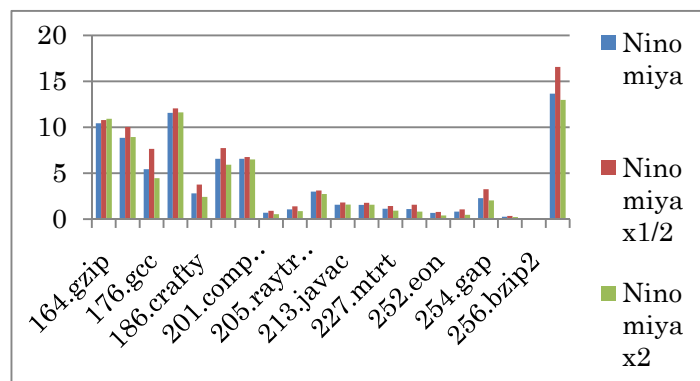


図2 ハードウェア規模と予測精度との関係

5. まとめ

メモリの容量を変化させて予測精度の向上に対する評価を行った。その結果、ハードウェア規模を大きくすることで、パーセプトロン分岐予測器の精度が改善できることがわかった。

参考文献

- [1] 高橋俊和, 京都大学工学部卒業論文, 2004.
- [2] 二ノ宮康之他, 阿部公輝, 並列/分数/協調処理に関するサマーワークショップ, 2009.
- [3] <http://camino.rutgers.edu/cbp2/>