

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	T L 0 6 1 2 3 9	氏 名	大塚 嘉
論文題目	タイミングエラー予報 FF を利用したプロセッサの電力削減方式の評価		

### 1. はじめに

現在、情報機器において、マルチコアプロセッサが主流となっている。従来のマイクロプロセッサでは、半導体の集積技術の向上に即した性能向上を得られなくなった。性能を上げるために、クロック周波数を向上させると、消費電力の増大という問題に直面する。そこで、マルチコアプロセッサによって、その問題を緩和している。本研究では、シングルコア及びマルチコアにタイミングエラー予報 FF を利用し、その電力削減率を MeP シミュレータ MPI[1]を使用して評価する。

### 2. 消費電力

消費電力を下げるためには、電源電圧を下げるのが、最も効果的なものとされている。しかし、式(1)より電源電圧を下げると、回路の遅延時間が増大し、性能が低下する。

$$D \propto \frac{V_{dd}}{(V_{dd}-V_{th})^{1.5}} \dots (1)$$

不用意に電源電圧を下げるわけにはいかないが、要求仕様を満足できる範囲で、電源電圧を下げるのが望ましい。

### 3. タイミングエラー予報 FF

プロセッサの動作において、タイミングエラー予報が保証されていれば、ぎりぎりに効率を追求した周波数での動作も可能となるので、信頼性だけでなく、実行性能や消費電力の面にも貢献する。

本研究では、タイミングエラー予報 FF として、図 1 のカナリア FF を利用する。これは、今まさに生じようとしているタイミングエラーを検出することを目的としている。エラーが予報されると、電源電圧を上げることで、メイン FF でのエラーを予防しつつ、過剰な設計マージンを取り除くことが出来、消費電力が大幅に削減される[2]。

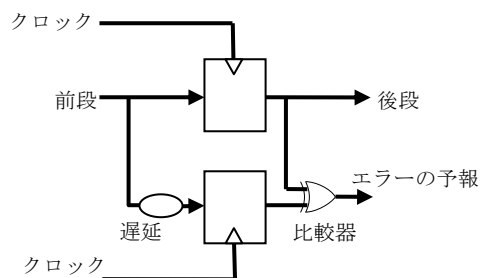


図 1: カナリア FF

### 4. 評価

トレースを用いるシミュレーションにより評価する。東芝の MeP シミュレータ MPI[3]を使用して得られたトレースを、自作プログラムに入力して行った。本評価では、整数加算器のみにカナリア方式を適用することで、実行ステージのみでタイミングエラーが生じる、と仮定した。

図 2 はマルチコアの各ベンチマークプログラムの電力削減率である。エラーとなるキャリアの長さを電圧の低い方から、(0,21,23,25,27,29,31,32)bit とした時の結果である。

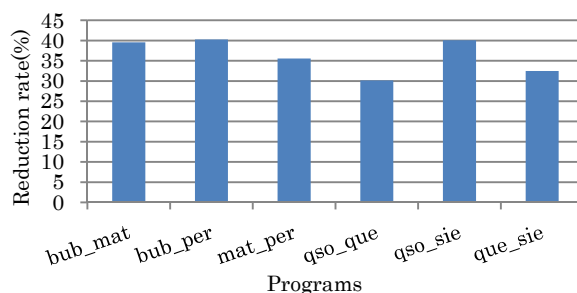


図 2: 各プログラムにおける電力削減率

また、他のデータとも比較すると、プログラムによって、タイミングエラーを生じるキャリアの長さに影響のあるものとないものがあることも分かった。

### 5. まとめ

タイミングエラー予報 FF として、カナリア方式を利用し、東芝の MeP シミュレータ MPI を使用して、プロセッサの省電力化の効果を評価した。その結果、シングルコアでは、約 22%しか電力削減出来なかったのに対し、マルチコアでは、約 34%の電力削減を達成出来ることが分かった。

この結果から、マルチコアの方が、省電力化に効果があることが確認されたと共に、プロセッサの省電力化を実現させるための効果的な加算器を設計することが必要である。

### 参考文献

[1] TOSHIBA, MeP コア(MeP-c4)ユーザーズマニュアル(アーキテクチャ編), 2008.  
 [2] 佐藤寿倫, 国武勇次, “ばらつき耐性を持つカナリア FF を利用したデザインマージン削減による省電力化”, 情報処理学会論文誌, Vol.49, No.6, 2008.  
 [3] TOSHIBA, MeP コア(MeP-c4)ユーザーズマニュアル(アーキテクチャ編), 2008.