

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL061214	氏名	山下 浩平
論文題目	チップ面積制約のあるプロセッサの性能を マルチコア化により改善するための要件検討に関する研究		

## 1. 序論

情報通信機器の発達に従い、半導体デバイスに求められる処理能力は年々増加している。これまでは、トランジスタの素子構造の微細化によって動作速度の向上を図ってきた。しかし微細化によりプロセッサ自体が複雑になってしまい、消費電力や発熱の問題もあり性能向上に限界が見られるようになってしまった[1]。微細化に変わる方法として、プロセッサのマルチコア化がある。本研究の目的は、チップ面積が等しいという条件で、プロセッサのマルチコア化により性能を改善するための要件を明らかにすることである。

## 2. 評価

### 2-1. 評価方法

それぞれのコアのプログラム実行時間を求めて、これに着目しプログラムの実行時間をプロセッサ性能として、それを比較、評価した。CACTIを用いてプロセッサのマシンサイクル時間(MC)を求める。シングルコア(c1)、デュアルコア(c2)、クアッドコア(c4)の3通りの構成を考え、それぞれキャッシュサイズを 32KB/16KB/8KB に設定する。プロセッサシミュレータ SimpleScalar の sim-outorder<sup>[2]</sup>を用いてプログラムの実行サイクル数(CL)を求めた。MediaBench に含まれる 4つのプログラム(gsmencode, jpegdecode, mpegdecode, unepic)でそれぞれ 3通りの構成シミュレーションする。得られた MC と CL よりプログラムの実行時間(T)を下式で求める。

$$T=MC \times CL$$

### 2-2. 評価結果

プログラムの実行時間を、図 1 に示す。図 1 より各プログラムの実行時間が  $c1 > c2 > c4$  となり、

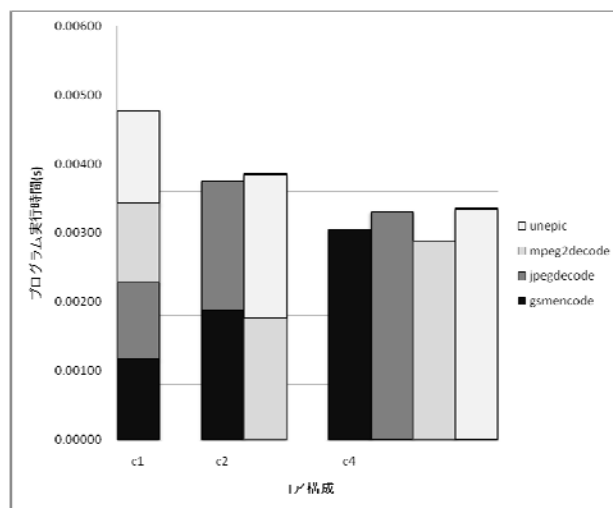


図 1. コア構成とプログラム実行時間

プロセッサ性能は  $c1 < c2 < c4$  となっていることが確認できる。コア規模の縮小によるサイクル数増はクロック周波数の向上だけでは補うことができず、全てのプログラムで実行時間は長くなっている。シングルコアプロセッサより性能を向上させるためには、デュアルコアプロセッサでは 4つの、クアッドコアプロセッサでは 3つのプログラムを実行する必要がある。また、負荷がアンバランスでスループット改善ができない場合、プロセッサのマルチコア化での性能向上は見込めない。

## 3. まとめ

マルチコアプロセッサの性能をシングルコアプロセッサより向上させるには、スループット向上を期待できる数のプログラムを実行することが必要である。

## 参考文献

- [1] 安田絹子, 小林林広, 飯塚博道, 阿部貴之, 青柳信吾, "マルチコア CPU のための並列プログラミング", 秀和システム, 2006.
- [2] 浅田邦博, 藤田昌宏, "システム LSI 設計自動化技術の基礎", 培風館, 2005.