

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL081268	氏名	井手 佑輔
論文題目	4bit プロセッサ TD4 の内部仕様設計および FPGA 上への実装		

1. はじめに

PC が普及し、今では最新の情報を手に得られる身近なものになっている。CPU は PC にとっては中心的な部品である。PC に用いられているような商用の CPU の動作は複雑で理解が難しい。CPU の動作を理解するために単純化した CPU を作る。内部構造は簡単になり、動作原理自体は一般の CPU と変わりはないので、CPU の動作原理を理解するには十分な CPU となる。本論文では CPU の動作原理の学習用教材として動作原理を単純化した CPU を設計する。

2. TD4 プロセッサ

今回設計対象とした TD4 プロセッサ[1]はデータ移動や演算を 4bit 単位で行う 4bit のプロセッサである。TD4 の全ての命令は 8bit であり、上位 4bit はオペレーションコード、下位 4bit はイミディエイトコードである。TD4 は算術命令、データ転送命令、入力命令、出力命令、ジャンプ命令、条件分岐命令を持ち、12 種類の命令がある。

3. 内部仕様の設計

TD4 プロセッサの内部仕様を図 1 のように設計した。矢印はデータの流れを示す。TD4 は A レジスタ B レジスタ、入力ポート、出力ポート、キャリーフラグ、プログラムメモリ、ALU、IR レジスタ[2]、プログラムカウンタ、コントローラ[3]等で構成されている。TD4 の命令処理における状態を状態Ⅰ、状態Ⅱ、状態Ⅲに分ける。初期設定は状態Ⅰとする。状態Ⅰはプログラムメモリからの命令を IR に書き込み保存し、コントローラで各制御信号を生成した後、状態Ⅱに移行する。状態Ⅱは状態Ⅰで生成された制御信号に基づき命令によって異なる処理を実行する。実行結果をレジスタへ保存す

る。実行後は状態Ⅲに移行する。状態Ⅲはプログラムカウンタの値をプログラムメモリに出力し、状態Ⅰへ移行する。ただし、次の命令がない場合は終了する。

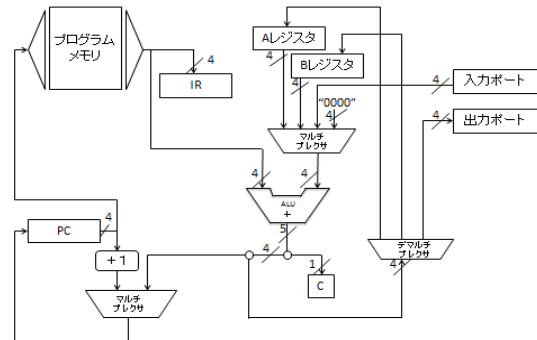


図 1: TD4 のブロック図

4. まとめ

今回の研究は学習用教材として TD4 の内部仕様であるブロック図と命令処理における状態遷移を設計した。今後の課題は設計した TD4 が動作しているか、FPGA 上で動作確認をする事である。

参考文献

- [1] 渡波 郁著, “CPU の創り方”, 毎日コミュニケーションズ, 2003
- [2] 深山 正幸, 北川 章夫, 秋田 純一, 鈴木 正國著, “HDL による VLSI 設計 第 2 版”, 共立出版株式会社, 2002
- [3] 猪飼 國夫著, “HDL 設計練習帳”, CQ 出版社, 2002