

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL081297	氏名	柴田 善水
論文題目	スーパスカラ型 CPU コアの低消費電力化手法の提案		

1 はじめに

近年、CPU の高性能化により消費電力が増加している。また集積回路の微細化が進み、伝導体と伝導体が近づくに従ってリーク電流は、指数関数的に増大している。そこで本研究ではプロセッサの低消費電力化手法の提案をする。

2 CMOS 回路の消費電力

消費電力はダイナミック電力とスタティック電力とで分けられる。ダイナミック電力は以下の式で表される。

$$P \approx \alpha \cdot f \cdot C_L \cdot V_{dd}^2 \quad (1)$$

ここで、P は消費電力、 α は動作率、 C_L は負荷容量、 V_{dd} は電源電圧、f は周波数である。式 1 は V_{dd} を下げると 2 乗の比例関係で下がるため低電力化において効果的である。しかし一方で V_{dd} のみを下げると遅延時間の増加を招くので同時に V_t (しきい値) も下げなければならない[1]。

スタティック電力は主にリーク電流により発生する。リーク電流は以下の式で表される。

$$I_L = I_o \cdot e^{(-V_t \cdot Q_e / nkT)} \quad (2)$$

ここで I_L はリーク電流、 I_o は比例係数、 Q_e は電子の電荷、n はサブスレッショルド係数、k はボルツマン定数、T は絶対温度である。式 2 において V_t は増加させることによって、低電力化が行われる[2]。つまり消費電力は V_{dd} や V_t を単に上げ下げするだけでは一概に低電力化できない。

3 評価実験

2 種類のプロセッサを組み合わせて全体として低電力化を行う。スーパスカラ型 CPU コアの演算ユニットを 2 タイプ仮定する。タイプ 1 はダイナミック電力が大きく、スタティック電力が限りなく小さい (無限小)、タイプ 2 はダイナミック電力が小さく、スタティック電力を大きくする。

4 つの演算ユニットがすべてタイプ 2 の時に全体のスタティック電力が 30%、40%、50%に

なるようにダイナミック電力とスタティック電力の値を決定する。SPEC CPU2000 のプログラムを用いてシミュレーションした結果から、利用された演算ユニットの数を求め、演算ユニットが一回利用される時のダイナミック電力、スタティック電力を決めプログラム実行における消費電力を求める。この実験により、演算ユニットの組み合わせ方によるタイプ 1 のダイナミック電力の限界値が決まる。図 1 は、タイプ 1 のダイナミック電力がタイプ 2 のダイナミック電力の何倍までが最も低電力の組み合わせが表している。

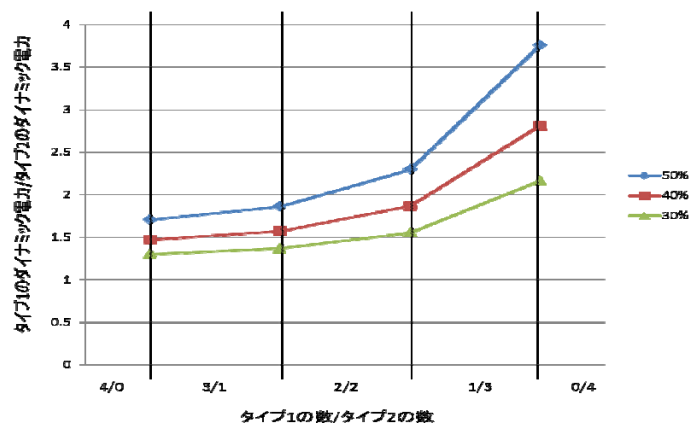


図1

4 まとめ

ハイパフォーマンス CPU での静的電力の割合を基にした演算ユニットとスタティック電力を無限小にした演算ユニットの組み合わせにおいて、それぞれの値に対し最適な組み合わせが分かった。またこの結果は、スタティック電力を無限小にした演算ユニットの開発の際の設計指針となりえる。

参考文献

[1] 松村忠幸, 石飛百合子, 石原亨, 安浦寛人, 「コード配置変更によるハイブリッドローカルメモリの消費エネルギー最小化」, 情報処理学会研究報告, 2011.
 [2] Hisa Ando, 「高性能コンピュータ技術の基礎」, 毎日コミュニケーションズ, 2011.