

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL081330	氏名	田端 隼人
論文題目	分岐予測器の状態数とエントリ数のトレードオフに関する考察		

## 1. はじめに

コンピュータは、初期のコンピュータが登場してからの 60 年余りで急速に発展し、今現在においてもその発展は続いている。とりわけコンピュータの中核であるプロセッサは計算を簡単かつ高速に実行するための技術が数多く確立された。また、コンピュータだけでなく、スマートフォンはもちろん乗用車や家電に至るまでプロセッサが用いられているため、性能向上がもたらす恩恵は無視できないものになっている。

## 2. パイプライン

パイプライン処理とは、CPU 高速化技術の一つで、複数の命令を少しずつずらすことにより、一連の機能ユニットによって同時並行的に処理を進めていく方式である[1]。

パイプライン処理により、命令のスループットが向上し全体の処理時間を短縮させることができるが、次のクロックサイクルで次の命令を実行できない「ハザード」と呼ばれる事象が発生する場合がある。

本研究ではハザードの一つである「制御ハザード」に着目した。

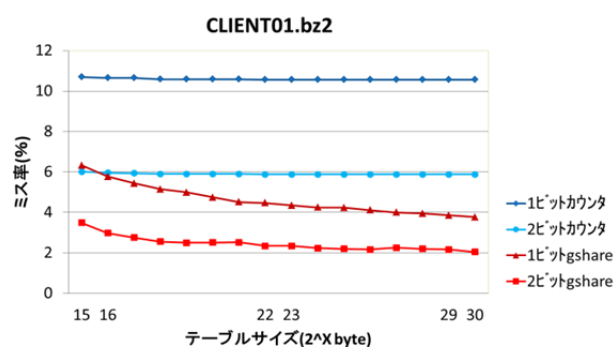
## 3. 分岐予測

分岐予測とは、プロセッサが条件分岐命令の分岐方向を予測し、その予測に基づいて処理を実行することで、制御ハザードによる遅延を回避させる技術である[2]。予測結果が実行効率に大きく影響するため、予測精度の向上が課題となっている。

常に同じ予測を行う静的分岐予測と実行時に得られる情報を利用して予測を行う動的分岐予測に大別されるが、本研究では動的分岐予測である「n ビットカウンタ型分岐予測」と「gshare 分岐予測」に着目した。

## 4. 実験

「1 ビットカウンタ型」、「2 ビットカウンタ型」、「1 ビット gshare 型」、「2 ビット gshare 型」計 4 種類の分岐予測器を用意し、Computer Architecture Competitions[3]が提供している 40 種類の実行トレースを用いてテーブルサイズを変化させた際の予測ミス率を測定した。



上図にトレース CLIENT01 での結果を示す。他のトレースでもほぼ同様の結果であった。

## 5. まとめ

本研究では、状態数と予測方式が異なる 4 種類の分岐予測シミュレータを用いて、エントリ数を変更しながらシミュレーションを実行し、予測ミス率を測定・比較した。

エントリ数の増加に伴って予測精度が向上していく様子を確認できたが、カウンタ型・gshare 型ともに異なる状態数において予測ミス率が逆転することはなかった。

今後は、構成の異なる予測器でも同様の結果になるのかどうかを確認したい。

## 参考文献

- [1] D. A. パターソン, J. L. ヘネシー, コンピュータの構成と設計 第3版 (下), 日経BP社, 2006.
- [2] Hisa Ando, プロセッサを支える技術, 技術評論社, 2011.
- [3] JWAC-2: Championship Branch Prediction.