

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL091340	氏名	坂本 遼
論文題目	次世代メモリによる記憶階層刷新を想定したキャッシュ構成に関する研究		

### 1) はじめに

コンピュータが登場した当初から、高速なメモリが必要とされてきた。最近では、CPU の高速化に伴い、メインメモリの処理速度がCPUに追いつかなくなっている。これを緩衝させる為、キャッシュメモリの性能向上が必要になっている。最近、主に L1、L2、L3 キャッシュの記憶階層を設けたCPUが主流となってきている。[1]

一方で最近の研究では、様々な次世代メモリが生まれている。その代表的なものに相変化メモリがある。これは「次世代不揮発性メモリ」と呼ばれるメモリ技術の有力候補である。

### 2) キャッシュメモリ

CPU の演算速度は高速化が進んでいる一方、CPU と頻繁にデータのやり取りを行う主記憶装置の動作速度は CPU 程の高速化が実現されていない。そこでキャッシュは、CPU とメインメモリとの間に挿入され、CPU からメモリへのアクセスを省くために、キャッシュへデータを蓄積しアクセスを高速化させる技術である。[2]

また最新のキャッシュ技術では、不揮発性メモリを使用し、メモリをキャッシュとして利用しようという動きが始まっている。

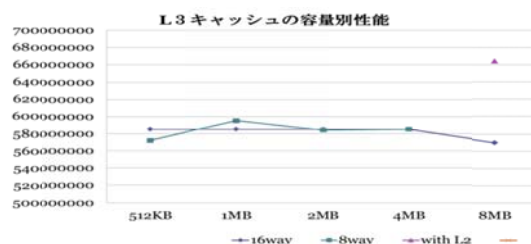
### 3) 実験内容

今回の研究では 3 階層のキャッシュ構成から L2 キャッシュを無くした記憶階層の構成により、L3 キャッシュに求められる性能を検証する。この研究の目的は L2 キャッシュを無くすことで、コスト削減や消費電力削減、メモリセル面積の縮小することである。

### 4) 評価

研究環境はシミュレータに Multi2sim、ベンチマ

ークは SPEC2006 を使用した。プロセッサは Intel Core i7-3770K の構成で行った。



実験前は、L2 キャッシュを無くすと性能が低下すると予想していた。しかし、L2 キャッシュを取り除くと、性能改善された。この原因として考えられるのは、ベンチマークの選定に問題があるか、キャッシュが有効になるほどの規模ではなかったことである。もしくは、寧ろ分岐予測精度の方が性能に影響した。

### 5) まとめ

今回の研究では予想とは反した結果となり、性能改善の検証には至らなかった。

今後の課題としてベンチマークを替え、より規模の大きなプログラムを利用し、シミュレーションを行う必要があること。また、改めて今回のキャッシュ構成に問題はないか再考することが挙げられる

### 参考文献

- [1] デイビッド・A・パターソン/ジョン・L・ヘネシー著、成田光彰訳、『コンピュータの構成と設計 ハードウェアとソフトウェアのインタフェース 第3版(下)』
- [2] 堀 桂太郎著、『図解コンピュータアーキテクチャ入門 第2版』
- [3] IT用語辞典

<http://e-words.jp>