

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL091223	氏名	安部 夢大
論文題目	リクエスト数と重要度に着目したメモリスケジューリングによる性能改善		

1. はじめに

マルチコア環境において、メインメモリは複数コアによって共有資源として利用される。異なるコアからのメモリアクセスにより資源の競合が発生する場合、単一スレッドで実行する場合と同様の性能を出すことが困難となる。プロセッサのコア数の増加によりこの問題は深刻である。メモリコントローラを利用しメモリアクセスリクエストの処理順番を決定することで性能を改善することが可能となる。

2. 変更内容

メモリスケジューリングチャンピオンシップ [1]にて応募された2つのスケジューリング手法 [2][3]を利用し、性能の変化を調べることにした。文献[2]のスケジューラに提案されている長期間リクエストのないスレッドの優先度を高くする手法と、リードリクエスト数が少ないスレッドの優先度を高くする手法に、さらに文献[3]で提案されている手法のうち、リオーダバッファ(ROB)をブロックしているリードリクエストのスレッドを優先にする手法を組み入れることで文献[2]の改善を目指した。作成したスケジューラの流れを図1に示す。

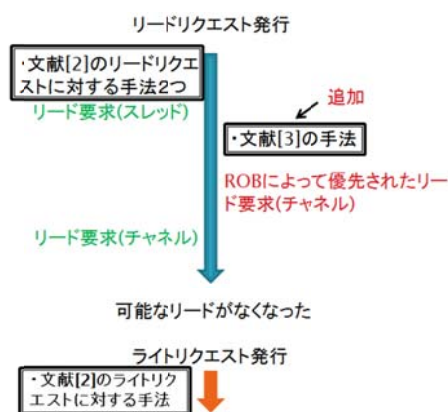


図 1. スケジューラの流れ

3. 性能評価

チャンピオンシップ [1]で配布された DRAM のサイクルレベルのトレースベースシミュレータ usimm を使用する。文献[2]のスケジューラをベースとしているためこれと比較する。評価指標に EDP (= 実行時間² * 電力)を使用する。シミュレーションの結果 c1-c1-c2-c2-1、c1-c1-c2-c2-4 ともに 0.1%と僅かであるが性能が向上した。シミュレーション結果を図 2 に示す。

文献[2]

	Simulation Cycles (x10 ⁶)	system power (W)	EDP(J.s)
c1-c1-c2-c2-1	585210948	9.022614	1.254119396
c1-c1-c2-c2-4	310333929	8.297556	0.800636411

文献[2]+文献[3]

	Simulation Cycles (x10 ⁶)	system power (W)	EDP(J.s)
c1-c1-c2-c2-1	585025740	9.026106	1.252897024
c1-c1-c2-c2-4	310274581	8.298554	0.800263405

図 2. シミュレーション結果

4. まとめ

今回のスケジューラでは大きな性能向上は見られなかった。原因として2つの文献[2][3]の手法は判断方法が違うが同様のことをしているためと考えている。今後は c1-c1-c2-c2 以外のものも試し、全体での性能の比較をする。

参考文献

- [1] “3rd JILP Workshop on Computer Architecture Competitions (JWAC-3)” <http://www.cs.utah.edu/~rajeew/iwac12/>, 2013.12.26
- [2] Takakazu Ikeda, Shinya Takamaeda Yamazaki, Naoki Fujieda, Shimpei Sato, Kenji Kise, 2012: Request Density Aware Fair Memory Scheduling
- [3] Kun Fang, Nick Iliev, Ehsan Noohi, Suyu Zhang, Zhichun Zhu, 2012: Thread-Fair Memory Request Reordering,