

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL101362	氏名	枝元 正寛
論文題目	2 命令インオーダー発行仕様のスーパースカラプロセッサの設計		

1. はじめに

情報処理学会計算機アーキテクチャ研究会の主催でプロセッサ設計コンテスト[1]が開催されることになり、2 命令インオーダー発行仕様のスーパースカラプロセッサで挑戦することにした。本稿ではこのアプローチを採用した理由と実装における工夫点を説明する。

2. スーパースカラ採用の背景

コンテスト主催者からリファレンスデザインとして提供されているプロセッサは、5 段パイプライン処理の典型的な MIPS プロセッサ[2]である。パイプライン処理は命令を1つずつしかフェッチしていないため、1クロックに実行できる命令は高々1個であるという壁を越えられない[3]。そこで複数命令をフェッチして可能ならば同時発行を行うスーパースカラが誕生した。

性能改善度よりも確実に機能することを優先し、出来るだけ複雑にならない方式を選択することとした。インオーダー発行のスーパースカラとし、発行幅も2命令とした。

3. 実装における工夫

2 命令発行のための要件は以下である。

- ① 同時にフェッチされた2命令がどちらもメモリアクセス命令である場合と、それらの2命令間にデータ依存の関係がある場合は後続の命令を1クロックサイクル分ストールさせる。1 サイクル目には、後ろの命令を NOP (no operation) に変換して無効化し、2 サイクル目で前の命令を NOP に変換し無効化する。後ろの命令は実行ステージのパイプラインレジスタの内容とフェッチされた後続命令をセレクトアにおくり、前者を選択し再びデコードし、実行ステージへ進むことで実現した。
- ② 分岐先のアドレスが 64 ビット境界にない

命令に分岐命令が飛び込んだ場合は前の命令を NOP に変換して無効化する。

- ③ レジスタ書き込みに関してこの命令が出力依存の関係にある場合は前の命令を NOP に変換し無効化し、後ろの命令のみを実行する。

要件①では、フェッチした2命令同時実行が出来ない。後ろの命令を1クロックサイクル分ストールさせるため性能は下がるが、これによりクロックを止めずにパイプライン処理を継続することが出来る。

要件②では、2命令発行に仕様を変更しても分岐先のアドレスに関係なく分岐命令を実行出来る。

要件③では、前の命令のデコードが無駄になるが、書き込むレジスタに関して単一の書き込みのみが行われるように動作が出来る。

文献[4]を参考にして記述した。

4. まとめ

2 命令インオーダー発行仕様のスーパースカラプロセッサを選択した理由と実装上の工夫を述べた。今後は記述したコードが正しく動作するか検証を行ない、Atlys ボード[5]上でこのプロセッサが動作することを確認する。

参考文献

- [1] The 1st IPSJ SIG-ARC High-Performance Processor Design Contest, www.arch.cs.titech.ac.jp/contest/ (2013 年 12 月 26 日アクセス)
- [2] パターソン, ヘネシー: コンピュータの構成と設計 第4版 上, 日経 BP 社(2011)
- [3] 高橋隆一: Verilog HDL によるシステム開発と設計, 共立出版 (2008)
- [4] 中野巧: 実践コンピュータアーキテクチャ MIPS のアセンブリ言語と VHDL 設計, オーム社 (2010)
- [5] Digilent 社, Atlys Spartan-6 FPGA Development Board, www.digilentinc.com/Products/Detail.cfm?Prod=ATLYS (2013 年 12 月 26 日アクセス)