

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL101225	氏名	辛嶋 敬介
論文題目	gshare 分岐予測器の状態数とエン트리数のトレードオフに関する再考		

## 1. はじめに

分岐予測器はプロセッサの性能向上に大いに貢献している。そのため、予測精度の更なる向上は今後の課題でもあり、プロセッサの性能向上のために必要不可欠なものとなっている。従来のプロセッサにはより効率的と考えられていた 2bit 分岐予測器を搭載することがほとんどであったが、インテルが 2011 年に発表した CPU である Sandy Bridge には 1bit 分岐予測器が搭載された。本研究を通して、この理由を考察する。過去に同様の研究は行われているが[1]、再度実験し、その結果を踏まえて考察を行う。

## 2. パイプラインと分岐予測

パイプライン処理とは、複数の命令を同時並列的に処理する方式であり、CPU の高速化技術の一つである。パイプライン処理中に分岐命令があった際には、次に実行すべき命令がわからないため、パイプラインを止めてそれが確定するのを待たなければならない。これを制御ハザードという。制御ハザードの発生は分岐命令がある限り逃れられず、性能低下の原因となる。

分岐予測とは、制御ハザードによる遅延を回避するための技術である。条件分岐命令の分岐方向を予測し、その予測の結果に基づいて処理を実行する。予測ミスが発生した場合は先に演算していた内容を全て破棄しなければならないので、予測精度の向上が課題となっている。

## 3. 実験方法

Championship Branch Prediction[2]より提供されたシミュレータとトレースを使用し、1bit と 2bit のカウンタを採用する gshare 分岐予測器を評価する。分岐予測器の状態数とエン트리数を変更しながら、それぞれの予測ミス率を測定する。

## 4. 実験

図 1 にトレース MM01.bz2 での動作結果を示す。縦軸は予測ミス率(%)、横軸はテーブルサイズ(kbyte)である。

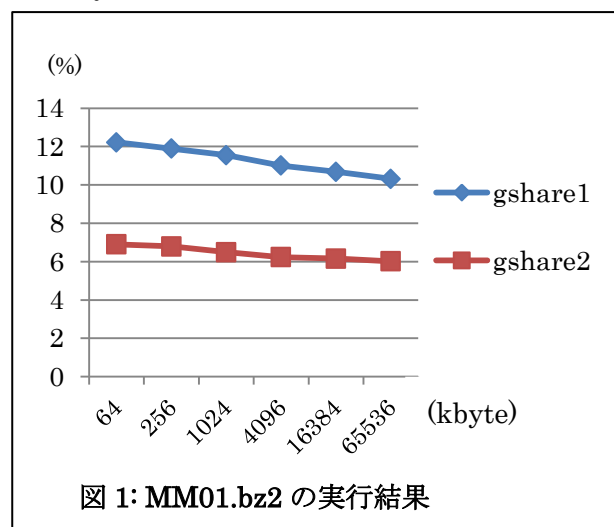


図 1: MM01.bz2 の実行結果

## 5. まとめ

状態数が異なる gshare 分岐予測器を対象に、エン트리数を変更しながら予測ミス率を測定し比較した。それぞれの状態数において、エン트리数の増加に伴って予測精度が向上していく様子を確認できた。しかし、2bit の gshare において、あるエン트리数を境に予測ミス率が減少しなくなった。この結果から、1bit 分岐予測器は 2bit 分岐予測器に比べて 2 倍のエン트리数を持つため、インテルが 1bit の分岐予測器を採用したのは、エン트리数の増大による恩恵を、より多く獲得できる技術によるものと推測した。今後は、この技術に対する調査と、今回の実験における、エン트리数をさらに増大させた場合の予測精度の動向を確認していきたい。

## 参考文献

- [1] 田端 隼人, 分岐予測器の状態数とエン트리数のトレードオフに関する考察, 福岡大学工学部, 卒業論文, 2011.
- [2] <http://www.jilp.org/jwac-2/framework.html> (2013,12,24 アクセス)