

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL101201	氏名	薬師寺 孝文
論文題目	Bimode 分岐予測器の状態数とエントリ数のトレードオフに関する考察		

1. はじめに

近年はパソコンなどにおいて複雑な処理を行うことが多く、より高性能なプロセッサの実現が不可欠となっている。プロセッサの高性能化の 1 つとしてパイプライン処理がある。

2. パイプライン処理

パイプライン処理では分岐命令の際に次に実行すべき命令がわからないため、パイプラインを止めてそれが判明するのを待たなければならない。これを制御ハザードという。この制御ハザードを回避することがプロセッサの高性能化につながる。

3. 投機実行と分岐予測

分岐命令によって発生する制御ハザードを回避する方法として、投機実行と分岐予測がある[1]。投機実行はプログラムが条件分岐しているときに、分岐先の処理を投機的に実行しておく手法である。分岐予測とはプログラム実行において条件分岐命令が分岐するかしないかを予測することにより、制御ハザードを回避する手法である。投機実行は分岐予測に基づいて行われるので、いかに制御ハザードを減少させるかは分岐予測の精度に依存する。分岐予測の手法としては大きく分けて静的予測と動的予測の二つがある。静的予測は一つの分岐に対して常に同じ予測を行う方法である。動的予測は一つの分岐に対して実行時に得られる情報を利用して予測を行う方法である。動的予測に関しては様々な方式が提案されている。その一つとして Bimode 分岐予測器[2]がある。本稿では Bimode 分岐予測器を用いて予測器の挙動を明確にし、状態数とエントリ数のトレードオフを考察していきたい。

4. 実験(Bimode 分岐予測器の性能評価)

実験ではテーブルサイズを変化させて、Bimode分岐予測器の1ビット分岐予測方式と2ビット分岐予測方式の予測ミス率を測定した。Computer Architecture Competitions[3]が提供しているトレースを用いてシミュレーションを行った。

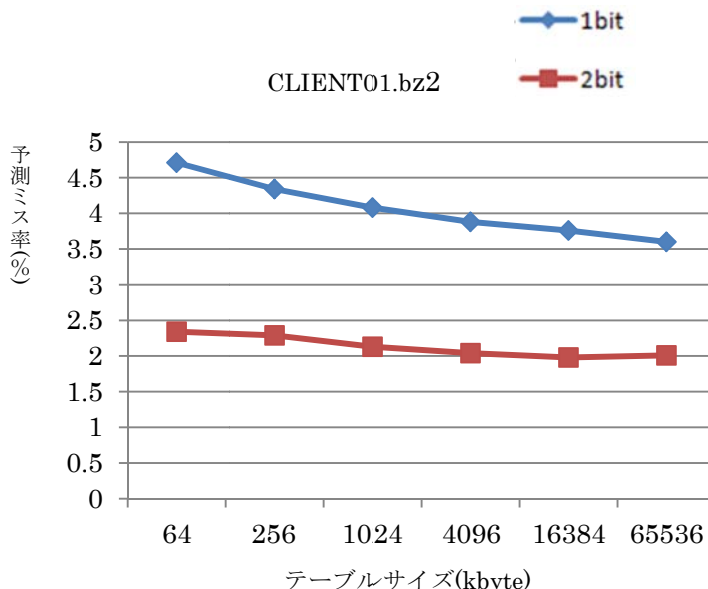


図 1 Bimode 予測器

図 1 にトレース CLIENT01. bz2[3]での結果を示す。2 ビット予測方式を用いた方が予測ミス率は減少することが確認できた。テーブルサイズを大きくし、ハードウェア量を増加させることによって予測ミス率が減少することも確認できた。

5. まとめ

今回の実験では 2 ビット予測方式の方が予測ミス率は低いことが確認でき、エントリ数を多くするよりも状態数を多くする方が予測ミス率は低くなることも確認できた。グラフの傾き具合からエントリ数を増加させることで予測ミス率の差がどのようになるのか今後確認していきたい。

参考文献

- [1] Hisa Ando: 高性能コンピュータ技術の基礎, 毎日コミュニケーションズ, 2011.
- [2] 吉瀬 他 :高性能プロセッサのための代表的な分岐予測器の実装と評価, Technical Report UEC-IS-2003-2, 2003.
- [3] JWAC-2: Championship Branch Prediction <http://www.jilp.org/jwac-2/>, 2011.