

| | | | |
|-------|--------------------------------|------|-------|
| 所属研究室 | 計算機システム | 指導教員 | 佐藤 寿倫 |
| 学籍番号 | TL111299 | 氏名 | 高嶋 紘平 |
| 論文題目 | 次世代メモリ ap-STT-MRAM を用いた記憶階層の考察 | | |

1. はじめに

CPU 速度の改良と比べてメモリ速度の改良が遅れているため、高性能プロセッサにおける CPU とメモリとの間の大きなレイテンシが問題となっており、この問題を解決するためにキャッシュメモリは L1, L2, L3 と増加してきた。また、大容量化に伴い静的電力も増加している。これらは、高性能プロセッサの深刻な問題となっている。そこで、本研究では次世代メモリ ap-STT-MRAM [1] を用いた記憶階層を検討する。実装面積、そして消費電力の削減が目的である。

2. ap-STT-MRAM

最下位レベルキャッシュ(LLC)の大容量化に伴う消費電力と実装面積の増大という問題を解決するために、ap-STT-MRAM という不揮発性メモリが提案されている。これで SRAM を置き換えることで、表 1 のように約 50%の実装面積でエネルギー効率の良い LLC を実現できる。

表 1 SRAM と ap-STT-MRAM の比較

| | SRAM | ap-STT-MRAM |
|---------------|----------------------|----------------------|
| Read latency | 4.45ns | 4.09ns |
| Write latency | 4.45ns | 2.09ns |
| Read energy | 2.10nJ | 1.12nJ |
| Write energy | 2.21nJ | 2.22nJ |
| Refresh power | 0mW | 0mW |
| Area | 80.41mm ² | 40.19mm ² |

3. 実験内容

シミュレータには Multi2sim[2]を用いる。ベンチマークは、MediaBench[3]の中から選んだ djpeg, untoast, mpeg2decode, unepic の 4 つである。実装面積の観点から、ap-STT-MRAM と SRAM を置き換えてを約 2 倍の容量を搭載することと、コスト削減や消費電力削減の目的で L2 キャッシュを無くすことの 2 つの観点から、表 2 の様にキャッシュの構成を変更してシミュレーションする。評価指標はサイクル数とする。

表 2 キャッシュの構成

| | 構成 1 | | 構成 2 | | | |
|----|-------|-----|------|-----|-----|-----|
| | A | B | A | B | C | D |
| L1 | 16KB | 1KB | 16KB | | 1KB | |
| L2 | 128KB | | - | | | |
| L3 | 4MB | 4MB | 8MB | 4MB | 8MB | 8MB |

4. 実験結果と考察

結果を図 1 と図 2 に示す。図 1 から分かる様に、使用したベンチマークのプログラムが小さいために L1 キャッシュに収まり、L2 と L3 キャッシュへのアクセスが稀だったため、L2 キャッシュを置くことでレイテンシが小さくなり性能が向上した。図 2 の結果は図 1 とは逆で、L1 キャッシュの容量が不足し、L2 キャッシュへのアクセス頻度が増加して性能が低下した。全ての構成で±3%以内の性能差となったので、L2 キャッシュを無くしても大きな性能低下は起こらないと結論できる。

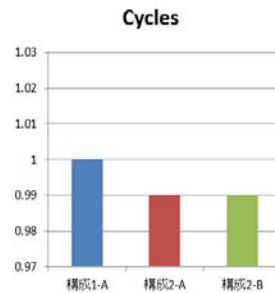


図1 L1キャッシュ:16KB

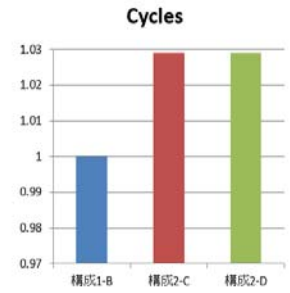


図2 L1キャッシュ:1KB

5. まとめ

今回利用した 4 つのプログラムでは、L2 を無くすことで大きな性能低下は起こらなかったため、構成 2-B のように L2 キャッシュを無くした記憶階層で問題を解決できることを確認できた。

参考文献

[1]H.Noguchi, et.al, VLSI Symposium, 2014.
 [2]R.Ubal, et.al, SBAC-PAD, 2007.
 [3]大塚：組み込みマイコンにおけるベンチマーク利用法の新しい動向, Design Wave Magazine, 2007.