

所属実験室	計算機システム	指導教員	佐藤 寿倫
学籍番号	TL111285	氏名	坂井 茉凜
論文題目	マルチコア化によるプロセッサの充放電電力削減効果の確認		

1. はじめに

近年、携帯電話などの電子機器は小型化かつ高性能化が求められており、マイクロプロセッサには高性能が求められている。プロセッサの性能向上に貢献している動作周波数であるが、消費電力の増大が問題である。本稿ではマルチコア化を採用することで性能を維持しながら消費電力を削減できることを確認する。

2. 評価

2-1.CMOS 回路消費電力

CMOS 回路の消費電力は動的消費電力と静的消費電力に分けられ、以下の式で表せる。

$$P = (f \cdot C \cdot V_{DD}^2) + (f \cdot I_{sc} \cdot V_{DD}) + (I_{offn} \cdot V_{DD})$$

第一、二項が動的消費電力でそれぞれ充放電電力、貫通電流電力、第三項が静的消費電力である。本稿では充放電電力に着目して評価を行う。

2-2.評価方法

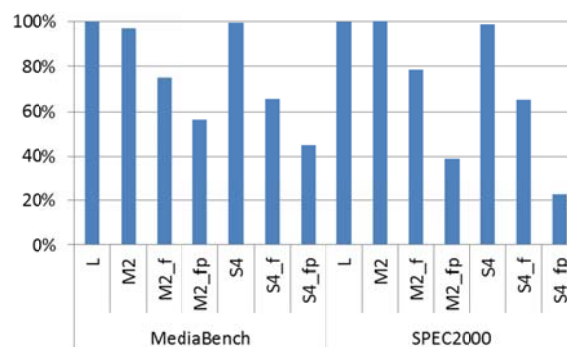
Wattch[1]の拡張を施した SimpleScalar[2]を用いてプロセッサ性能と消費電力の評価を行う。ベンチマークプログラム MediaBench と SPEC2000を使用して大規模コア (Large コア) をひとつ持つシングルコアプロセッサ (L)、中規模コア (Medium コア) を二つ持つデュアルコアプロセッサ (M2)、小規模コア (Small コア) を四つ持つクアッドコアプロセッサ (S4) を比較した。コアの評価指標にはエネルギー遅延積 (EDP) を使い、EDP はサイクル当たりのエネルギーとサイクル数の積で表わされる。動作周波数にはキャッシュのアクセス時間の見積もり CACTI5.3の結果 ($f=1/T$) を使用する。

動作周波数と電源電圧は以下の関係があるが、

$$T \propto \frac{C \cdot V_{DD}}{(V_{DD} - V_{TH})^\alpha}$$

一次近似として動作周波数は電源電圧に比例するものと仮定する。[1]

2-3.評価結果



動作周波数を揃えて L と M2_f および S4_f とを比較し、更に IPC の向上を動作周波数の低下で相殺し電源電圧も合わせて低下させ、L と M2_fp および S4_fp とを比較すると、それぞれ電力を削減していることがわかる。以上から、コアの規模を縮小してマルチコア化することで、消費電力を著しく削減することが確認できた。

3. まとめ

コア規模を縮小することによるマルチコア化で、消費電力を著しく削減できた。今回は充放電電力のみしか評価出来ておらず、リーク電流による静的消費電力の評価を行うことが今後の課題である。また、シングルコアプロセッサのシミュレーション結果を利用した見積りにとどまっているため、マルチコアプロセッサのシミュレーションを実施することも課題である。

参考文献

- [1] D. Brooks et al., ISCA, 2000.
- [2] D. Burger et al., ACM SIGARCH CAN, Vol. 25, No. 3, 1997.
- [3] 吉本雅彦, “集積回路工学”, オーム社, 2013.