

集積回路プロセス

概要: 現在の集積回路の進歩は秒進分歩の感がある。例えば代表的なメモリICであるDRAMに関していえば、1970年に1Kbだった集積度は16Gbと1600万倍に上がっている。本講義では集積回路の製造プロセスの基本をまず解説し、次に製造プロセスを理解した上での回路設計について学習する。具体的な内容は、結晶成長、絶縁膜の形成法、金属薄膜の形成法、リソグラフィ技術、不純物ドーピング、後工程、回路素子の構造等である。

到達目標: 集積回路製造プロセスの高純度Siの精製と単結晶化、Siの酸化、リソグラフィ、不純物拡散、電極形成等のプロセスを理解して、説明できる。(知識・理解)
バイポーラトランジスタやMOS-FETの構造と製造プロセスを理解して、説明できる。(知識・理解)



本講義の利用参考書:

- 「半導体デバイス」第2版、基礎理論とプロセス技術、S.M.Sze著、(産業図書)、ISBN-13: 978-4886862150
- 「はじめての半導体プロセス」、前田和夫 著、(技術評論社)、ISBN-13: 978-4774147499
- 「よくわかる半導体LSIのできるまで」改訂第2版、(日刊工業新聞社)、ISBN-13: 978-4526053757
- 「VLSI工学-製造プロセス編-」、電子情報通信学会編、角南英夫著、(コロナ社)、ISBN-13: 978-4339018875
- 「よくわかる最新半導体プロセスの基本と仕組み」第4版、佐藤淳一著、(秀和システム)、ISBN-13: 978-4798062457



講義予定

- 第1回 集積回路の概略 (スタートアップ動画)
- 第2回 半導体材料の精製、単結晶成長法(CZ法、FZ法)
- 第3回 ウェハ加工、薄膜成長法(CVD、PVD)
- 第4回 絶縁膜の形成法
- 第5回 ポリシリコン膜と金属電極・配線の形成法 (プラグ、パッド、多層配線)
- 第6回 フトリソグラフィ技術
- 第7回 フォトマスク、次世代リソグラフィ技術
- 第8回 エッチング技術、MEMS
- 第9回 不純物ドーピング(熱拡散法)
- 第10回 不純物ドーピング(イオン注入法)、
- 第11回 後工程
- 第12回 素子分離、モノリシック受動素子
- 第13回 バイポーラIC
- 第14回 MOS-IC 1
- 第15回 MOS-IC 2



講義には**毎回出席**すること。出席者は講義室入口にある出欠調査のカードリーダーに学生証を当てること。

講義資料をMoodleと下記のWEBページに掲載するので、毎回講義前にその**講義資料を使って予習をすること**。予習もせず、講義資料も持たずに、ただ講義室に座っているだけでは、講義内容は理解できない。

また、講義後にMoodleに復習のために課題を毎回出すので、その**課題をやること**。これも**成績に反映される**。

<https://www.cis.fukuoka-u.ac.jp/~tsuzuki/>



半導体産業の現状と将来:

1 デジタル情報家電

従来の家電製品
+
パソコン機能やネットワーク機能

DVDレコーダー/プレーヤー、
プラズマTV、液晶TV、ゲーム機、
デジタルカメラ、
デジタルビデオカメラなど

3 流通向けICタグ

大記憶容量化し、無線機能を取り入れ、離れたところからも情報読み取り可能

スーパーなどのバーコードの代替から
紙幣、パスポートまで

2 自動車

各種センサーや電子制御装置

半導体搭載比率

現状 16.8% → 4~5年後 25%前後に

路面センサーなどの各種センサー、
電子制御装置、カーナビなど

4 MEMS (マイクロ・エレクトロ・メカニカル・システム)

半導体製造技術の応用で生まれた極めて小さな機械システム

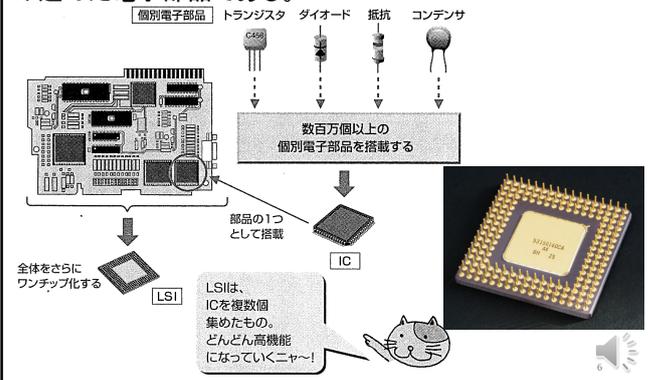
主力 圧力や流量を測るセンサー、
加速度センサー、
インクジェットヘッド

注目分野 バイオMEMS、光MEMS、
RFMEMS、エネルギーMEMS、
ディスプレイ用MEMS



集積回路 (Integrated Circuit: IC):

一つのチップ(Si単結晶基板)内に、多数の半導体素子を組み込んだ電子部品である。



集積回路内の電子素子:

n型、p型シリコン半導体と絶縁膜、金属薄膜等を組み合わせて作製する。

トランジスタ (npn形)	ダイオード	抵抗	コンデンサ
n形の島状部の一部にp形の部分をつくり、このp形部分の一部に、さらにn形をつくる	トランジスタの場合より拡散を1回減らしてpn接合をつくる	n形部分にp形の不純物を拡散し、その厚さ、長さ、不純物濃度などにより抵抗を決める	pn接合に逆方向電圧を加えたときに生ずる接合容量を利用する
100MHz程度まで		20kΩ程度まで	400pF程度まで

インダクタンスはできない

SiO₂酸化膜

アルミニウム電極

p形シリコン基板

集積回路の応用例:

アナログLSI (バイポーラ型が多い)	増幅器	信号そのままを運ぶことなく増幅させることに必要で、AV機器での音声、映像回路に用いられるなど、人間との知覚インターフェースに重要な役割を果たしている	ADコンバータ DAコンバータ OPアンプ(増幅器) 電圧、周波数コンバータ 電圧レギュレータ
デジタルLSI (ほとんどMOS型)	加算器	パソコンなどコンピュータの中核となる演算回路が代表例である。従来のアナログ回路をデジタル回路に置き換えて行う方式(DSP)も増加している	マイコン メモリ FPGA/PLD など、LSIの大半を占めている

集積回路の特徴:

項目	特徴	応用機器の例
高機能化	高度な機能を持った電子回路を数ミリメートル角の半導体チップに作り込むことができる。	●工業用ロボット ●スマートフォン
高集積化	高密度化が可能のため、1つのチップ内に数千万個の素子を配列することができる。	●電子計算機 ●データ通信
低消費電力化	各素子そのものが非常に小さくなるため、IC全体の消費電力も小さくなる。また、ICによる制御で、機器の消費電力を下げるができる。	●液晶テレビ ●デジタルカメラ ●エアコン
小型化・軽量化	高密度化が可能ため機器全体をきわめて小さく軽量化、ポータブルにすることができる。	●電卓 ●携帯音楽プレーヤー ●スマートフォン
低コスト化	1枚のシリコン基板に数百個のチップを同時に作るため、チップ当りの単価は大幅に低下し、機器の低コスト化に役立つ。	●パーソナルコンピュータ ●家庭用ゲーム機 ●デジタルウォッチ
高信頼性化	製造工程中で素子間の相互接続をすましてしまうため、回路としての故障率が大幅に低下し、信頼性が上がる。	●放送衛星 ●電話交換機 ●自動車

電子デバイスと集積回路:

集積回路 (IC)
電子部品を多数個、半導体基板上に集積した電子回路

大規模集積回路 (LSI)
1つのチップ上にまとめた電子回路

トランジスタ ダイオード 抵抗 コンデンサ

ICの集積度を高める

集積回路の高集積化: 集積度は時間の指数関数で増加

1965年 **ムーアの法則**

半導体に集積されるトランジスタの数は約2年ごとに倍増する

集積度を向上するためには

- ・チップ寸法の縮小
- ・デザインルールの微細化
- ・デバイス構造や回路技術上の工夫

ゴードン・ムーア 出典: インテル

LSIの技術進歩

集積回路の高集積化・微細化予測:

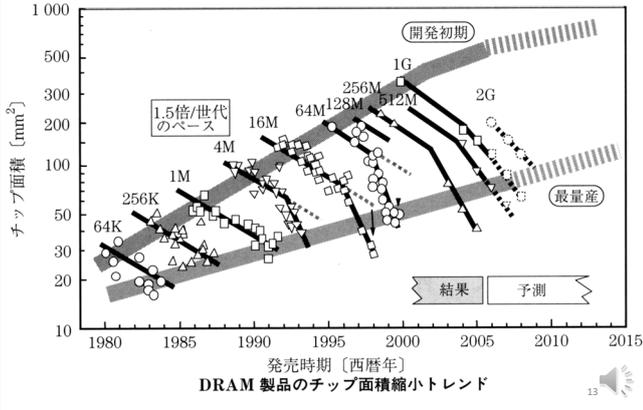
■ 国際半導体技術ロードマップ(ITRS)2004 単位 (nm)

生産開始年	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
技術ノード		hp90			hp65			hp45		hp32		hp22	
DRAMハーフピッチ	100	90	80	70	65	57	50	45	35	32	25	22	18
MPU/ASICハーフピッチ	107	90	80	70	65	57	50	45	35	32	25	22	18
MPUリソグラフィ後ゲート長	65	53	45	40	35	32	28	25	20	18	14	13	10
MPU物理的ゲート長	45	37	32	28	25	22	20	18	14	13	10	9	7

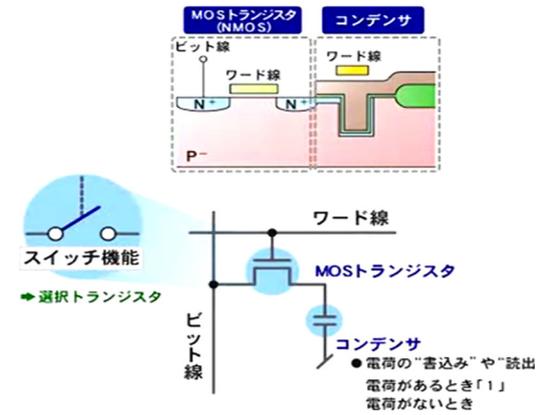
当初、米国の半導体技術ロードマップとして発行

1999年から日本、欧州、韓国、台湾が加わり、国際的な活動となる

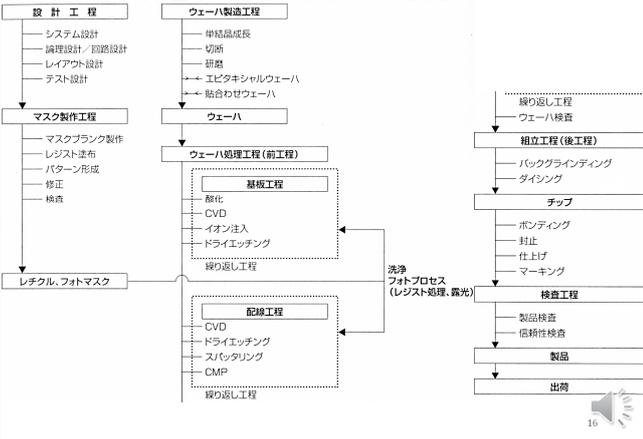
高集積化の例(DRAM): チップ面積が半分になると、記憶容量が4倍の次世代製品が出てくる。



DRAM (Dynamic Random Access Memory):



集積回路の製造プロセスのおおまかな流れ:

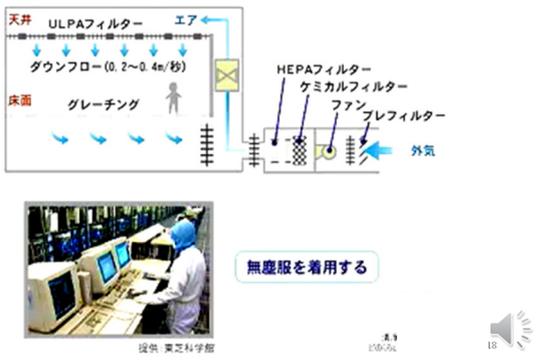


集積回路の製造プロセスの概要:

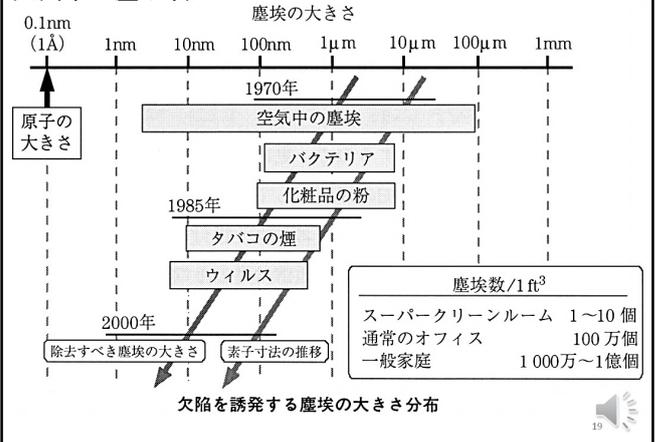


クリーンルーム: 集積回路はクリーンルームで製造される。(4号館のクリーンルームはClass 1000 (=ISO Class 6))

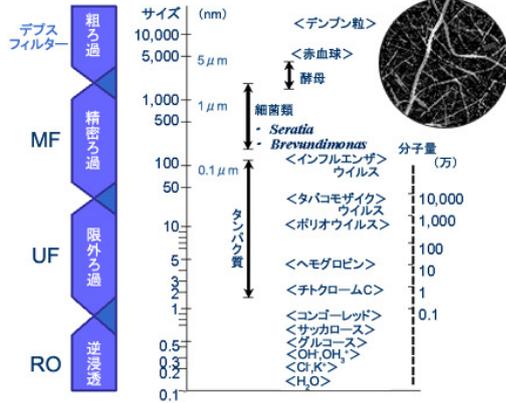
■クリーンルーム 清浄空気の流れ



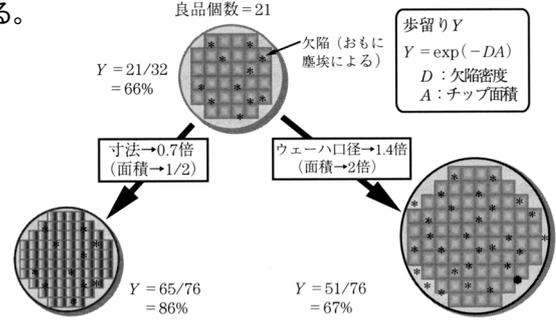
大気中の塵や埃:



超純水: 集積回路の洗浄工程では超純水を使う。使用される超純水は~18MΩ・cmの比抵抗を持つ(絶縁体)。



歩留り: チップ面積が小さくなると、歩留りYが上がる。また、大口径ウェハースになると、歩留りは同じでも良品個数が増える。



良品個数=65個

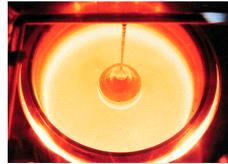
良品個数=51個

加工寸法の縮小とウェーハサイズの拡大がチップ取得数に及ぼす影響 (欠陥密度:一定)



次回の予告: 半導体材料の精製、単結晶成長法
 単結晶Siの作製方法にはCZ法(Czochralski:引き上げ法)とFZ法(Floating Zone:融液浮遊法)の2種類がある。

CZ法: 石英ルツボに入ったSi融液に、上からSi種結晶を接触させて、ゆっくり引き上げると、液・固相界面で融液が冷却されて、大きな単結晶が得られる。



FZ法: 多結晶Si棒の一部を高周波で加熱して溶かし、この熔融層を種単結晶から上部に移動することで全体を単結晶化する。FZ法では、ルツボを使用しないので高純度・高抵抗率の結晶が得られる。

