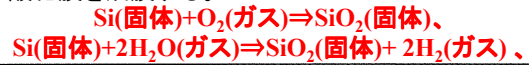


前回の復習: CVD法とPVD法の特徴とまとめ:

CVD 法	PVD 法
- 化学的手法 (化学反応) - 基板は加熱される - 膜質は温度によって左右される - 絶縁膜, 金属・導体膜, 半導体膜などすべてに適用される - プラズマ CVD, 減圧 CVD の場合は真空を用いる - 膜は堆積および表面反応によって形成される - 密着性はパラメータにより変わる - 膜の緻密性は温度によって決まり, ストレスは制御可能である - 段差被覆性は PVD よりも優れている - 組成の制御はガスの制御により可能	- 物理的手法 (蒸着, スパッタ) - 基板は通常室温, 加熱も可能 - 主として金属・導体膜の形成, 膜の種類に制約がある - 真空装置を用いる - 膜は堆積であり, 基板上への密着性は優れている - 膜は緻密であり, ストレスは大きい - バルクに近い膜質が得られる - 段差被覆性は悪い - 組成の制御は一般に困難である (注: MBEはできる)

前回の復習: 熱酸化法によるSi酸化膜の成膜:

1000°C程度に加熱したSiウェハースに、酸素(ドライ酸化)もしくは酸素+水蒸気(ウェット酸化)を~1ℓ/分の流量で供給して表面に酸化膜を成膜する。



名 称	酸 化 剤	圧 力	特 徴
ドライ酸化	酸素ガス	常圧	一般的に用いられる
ウェット酸化	水蒸気 (水素ガスと酸素ガスを反応炉内で燃やして生成)	常圧	酸化速度が速く、厚い酸化膜形成に適する
希釈酸化	酸素、水蒸気を窒素ガスなどで希釈	常圧	膜厚制御が容易で、薄膜形成に適する
高圧 (加圧) 酸化	酸素ガス、水蒸気	高圧	酸化速度が速く、厚い酸化膜形成や低温酸化に適する
プラズマ酸化	プラズマ励起した酸素ラジカル	減圧	ECRプラズマ、表面波プラズマなどにより極薄酸化膜に適する

前回の復習: 熱酸化膜の成長

組成の違いから、成長した熱酸化膜と消費されたSi層の厚さの間には、**Siの厚さ=0.44 × SiO₂の厚さ**の関係がある。また、*t* 時間後の酸化膜の厚さ*x*は、

$$x = \frac{D}{\kappa} \left\{ \sqrt{1 + \frac{2\kappa^2 C_0}{DN'} (t + \tau)} - 1 \right\},$$

$$\tau = \frac{N'}{2\kappa^2 C_0} \left\{ \left(1 + \frac{\kappa d_0}{D} \right)^2 - 1 \right\}$$

となる。また、*t*が小さい時の酸化初期と、*t*が大きい酸化後期の酸化膜の厚さ*x*は、それぞれ、

$$x \cong \frac{\kappa C_0 (t + \tau)}{N'}, \quad x \cong \sqrt{\frac{2DC_0}{N'}} (t + \tau) \quad \text{となる。}$$

前回の復習:

CVD法によるSi酸化膜の成膜: CVD法で作製した酸化膜は、多孔質で電気特性が悪いので、ゲート絶縁膜等には使えない。しかし、低温で堆積できるので、マスク、保護膜、配線間絶縁膜等に使われる。成膜方法には、シラン(SiH₄)と酸素を原料とする方法と、テトラ・エチル・オルソ・シリケート(Si(OC₂H₅)₄; 通称TEOS)を原料とする方法がある。

CVD法によるSi窒化膜(Si₃N₄)の成膜: Si酸化膜は多孔質で水やNa原子を良く透過するので、その保護膜として高密度のSi窒化膜が良く使われる。また、Si選択酸化(LOCOS)のマスクとしても窒化膜が使われる。成膜には、減圧CVD(10Pa程度)やプラズマCVDが良く使われる。原料は主にシランとアンモニアが使われる。

シリコン窒化膜とシリコン酸化膜の性質

特性	単位	SiO ₂	Si ₃ N ₄
融点	°C	1600	1900
密度	g/cm ³	2.2	3.1
誘電率		3.9	7.5
熱膨張率	10 ⁻⁶ /°C	0.5	3.4
エッチレート	Å/min	1000	8

高誘電率(high-k)材料1:

MOS-FETをスケールリング(比例縮小)則で微細化すると、ゲート絶縁膜が薄くなり過ぎて耐電圧が不足し、トンネル効果によるゲートリーク電流が増加する。さらに、短チャネル効果により閾値電圧*V_T*が下がって、ゲート電圧*V_G*によるソース・ドレイン電流*I_D*のon/off切替が弱くなり、ソース・ドレインリーク電流も増加する。よって、MOS-FETの消費電力が増大する。

$$I_D = \frac{Z\mu_n C_0}{2L} (V_G - V_T)^2,$$

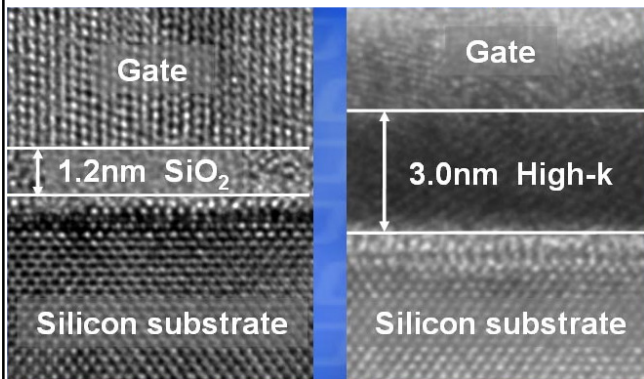
これを回避するためにはゲート酸化膜をSiO₂膜から高誘電率(high-k)材料の膜に変えて膜厚を増やしつつ、単位面積当たりのゲート静電容量*C₀*を大きく保つ必要がある。

L:ゲート長、Z:ゲート幅、 μ_n :電子の移動度。

高誘電率(high-k)材料2:

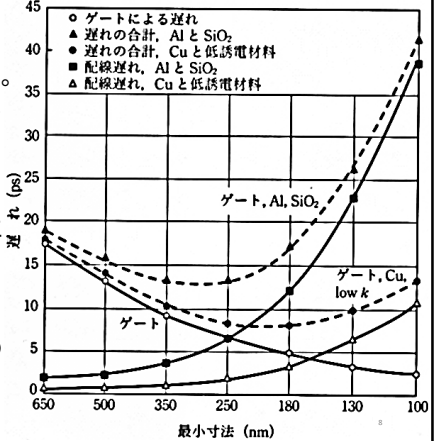
高誘電率材料	ϵ_r □	バンドギャップ [eV]	結晶構造
熱酸化膜(SiO ₂)	3,9	8,9	非晶質
Si ₃ N ₄	7	5,1	非晶質
Al ₂ O ₃	9	8,7	非晶質
Y ₂ O ₃	15	5,6	立方晶
ZrO ₂	25	5,8	単斜、正方、立方晶
HfO ₂	25	5,7	単斜、正方、立方晶
La ₂ O ₃	30	4,3	六方晶、立方晶
Ta ₂ O ₅	26	4,5	斜方晶
TiO ₂	80	3,5	正方晶

高誘電率(high-k)材料3: 透過型電子顕微鏡写真



低誘電率(low-k)材料1: スケーリング則によるMOSFETの

微細化が進むと、ゲート長が短くなりMOSFETは速く動く。しかし、金属配線は断面積が減り電気抵抗 R が増える。さらに配線間距離も短くなり配線間寄生容量 C も増える。そのため、配線での RC 時定数による遅れが長くなり回路の高速動作の妨げになる。



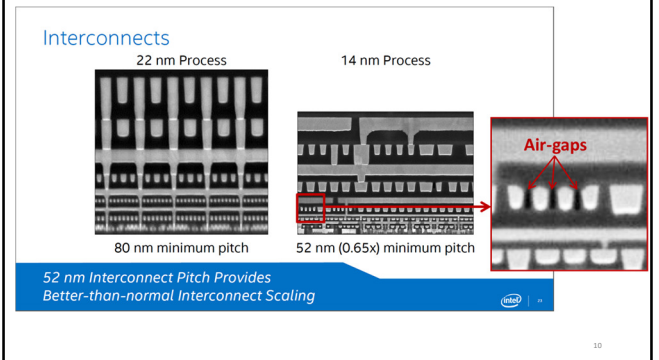
低誘電率(low-k)材料2:

配線の RC 遅延を改善するために、配線間の絶縁材料を SiO_2 膜から低誘電率(low-k)材料に変える。

主な low-k 膜とその構造				
種類	新材料	膜形成法	比誘電率 (k)	構造
無機絶縁膜	SiO_2	酸化, CVD	4.0	—
	SiOF	CVD	3.4~3.6	—
	BSG ($\text{SiO}_2\text{-B}_2\text{O}_3$) ~ SiOB	CVD	3.5~3.7	—
	Si-H 含有 SiO_2 , HSQ (hydrogensilsesquioxane)	塗布法	2.8~3.0 <2.0	$\left[\begin{array}{c} \text{H} \\ \\ \text{Si}-\text{O}-\text{Si} \\ \\ \text{H} \end{array} \right]_n$
	カーボン含有 SiO_2 膜 (SiOC)	プラズマ CVD	2.5~2.8	$\left[\begin{array}{c} \text{H} \\ \\ \text{Si}-\text{O}-\text{Si} \\ \\ \text{C} \end{array} \right]_n$
有機絶縁膜	多孔質シリカ膜	塗布法	<3.0	—
	メチル基含有 SiO_2 , MSQ (methylsilsesquioxane)	塗布法	—	$\left[\begin{array}{c} \text{CH}_3 \\ \\ \text{Si}-\text{O}-\text{Si} \\ \\ \text{CH}_3 \end{array} \right]_n$
	高分子膜	ポリイミド系膜	塗布法	$\left[\text{R}_1-\text{N} \begin{array}{c} \text{O} \\ // \\ \text{C} \end{array} \text{R}_2-\text{N} \begin{array}{c} \text{O} \\ // \\ \text{C} \end{array} \right]_n$ (R_1, R_2 芳香族基)
	ポリイミド系膜	プラズマ重合 塗布法	2.5~3.0	$\left[\text{CF}_2-\text{C}(\text{CF}_3)-\text{C}(\text{CF}_3)-\text{CF}_2 \right]_n$
	フロン系膜	プラズマ CVD	—	$\left[\text{CF}_2-\text{C}(\text{CF}_3)-\text{C}(\text{CF}_3)-\text{CF}_2 \right]_n$
	その他重合膜等	—	—	—
	アモルファスカーボン膜 (F ドープ)	プラズマ CVD	<2.5	—

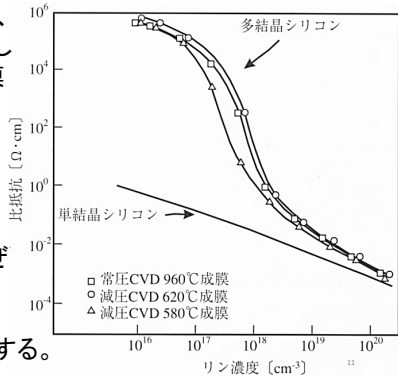
低誘電率(low-k)材料3: エアギャップ

比誘電率がほぼ1の低誘電率である「空気」(空隙)を配線間絶縁材料に使う。



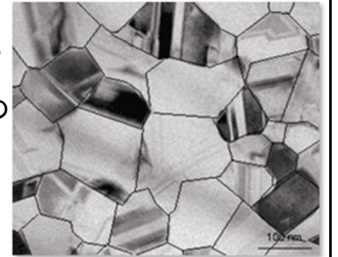
CVD法によるポリシリコン(多結晶Si)膜の成膜:

ポリシリコンは、ゲート電極、配線(プラグ)、金属とSiとの接触抵抗を減らすためのバッファとして使われる。成膜は減圧CVD (10~100Pa)で、シラン(SiH_4)を原料にして成膜する。低温成膜なので単結晶ではなく多結晶Siができる。
 SiH_4 (ガス) $\Rightarrow$ Si(固体) + 2H_2 (ガス) @600°C,
また、成膜中に PH_3 や AsH_3 をシランに混ぜて不純物ドーピングすることもできるが、比抵抗等は成膜条件で変化する。

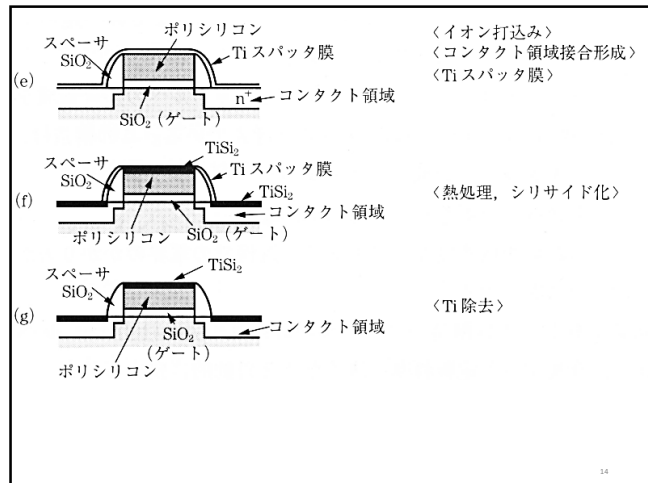
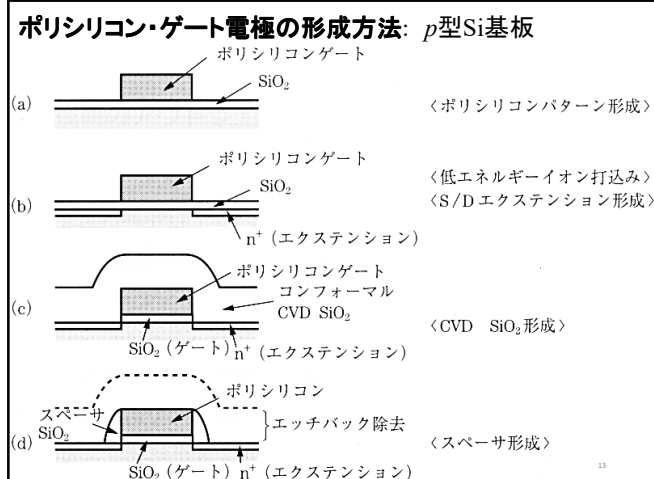


ポリシリコン膜質:

ポリシリコンは、径が0.03~0.3 μm の多結晶柱構造をしている。結晶粒径や繊維構造等の膜質の詳細は、成膜条件に依存する。



因子	結晶粒径	結晶方位
温度 増	著しく増大→繊維構造	任意の方向→(110), (100)
成膜速度 増	縮小	
ウエハ表面 荒れ	微視的荒れや汚れで異常成長	
膜厚 増	増大→繊維構造	
不純物添加	増大→繊維構造	
熱処理	粒子間の再結晶発生	



金属シリサイド: ポリシリコンは比抵抗が $\sim 10^{-3} \Omega \cdot \text{cm}$ 程度で高抵抗なので、電極や配線として使用する場合には、上部に金属を成膜して、金属シリサイドにして抵抗を $\sim 10^{-6} \Omega \cdot \text{cm}$ 程度に減らす。

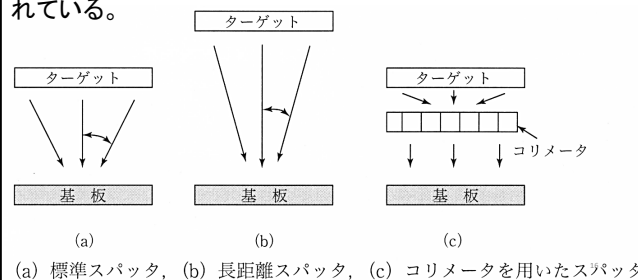
高融点金属・シリサイドの比抵抗

メタル・シリサイド	融点 (°C)	比抵抗 ($\mu\Omega\text{cm}$)
W タングステン	3410	3.3
WSi ₂ タングステンシリサイド	2050	33.4
Mo モリブデン	2625	3.4
MoSi ₂ モリブデンシリサイド	1870	21.5
Ta タンタル	2850	13
TaSi ₂ タンタルシリサイド	2400	8.5
Ti チタン	1820	54
TiSi ₂ チタンシリサイド	1540	123

金属薄膜の成膜:

金属は主にPVD系で成膜するが、高融点金属薄膜ではCVD系も併用される。初期は簡便な真空蒸着が主流だったが、配線の多層化後はスパッタリングが主流になった。

段差被覆性を改善するために、長距離スパッタや、コリメータを置いて基板に垂直に原子を飛ばす方法などが使われている。



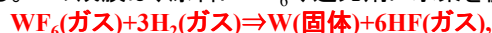
代表的な配線材料:

代表的な電極・配線の材料とその性質

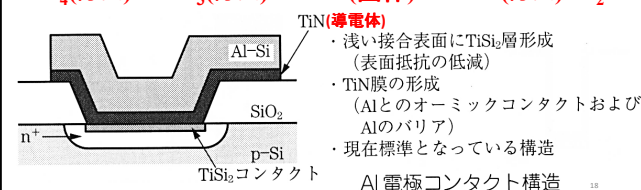
材 料	抵抗率 [$\mu\Omega \cdot \text{cm}$]	融 点 [°C]	Si との反応 [°C]	SiO ₂ への 接着性*
○ 多結晶 Si	最小 500	1 450	—	◎
MoSi ₂	80~100	1 980	1 000 以上	○
○ WSi ₂	20~60	1 887	1 000 以上	○
TiSi ₂	13~16	1 538	約 950	○
TaSi ₂	35~45	2 200	650	○
CoSi ₂	18~20	1 326	550	○
NiSi	14~20	992	350~750	○
PtSi	28~35	1 229	約 750	○
○ TiN	18~22	2 950	450	○
Ti	54	1 670	—	◎
○ Al	2.8	660	250	◎
Au	2.3	1 063	—	×
Pt	10.5	3 224	—	×
○ Cu	1.7	1 083	—	△
○ W	5.5	3 422	600	△
Mo	5.6	2 625	400	△

○: 最普及材料 *◎: 優秀, ○: 良好, △: 中間, ×: 不良

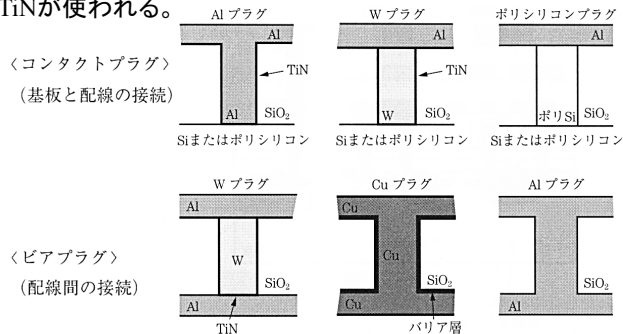
CVD法による金属薄膜の成膜: WやTiなどの 高融点(耐熱性)金属薄膜はCVD法で成膜する場合もある。Wは600°C以下の低温成膜ができ、拡散による段差被覆性も良いので、コンタクトプラグやビアプラグ(後述)等に使われる。一方、Tiは窒化膜(TiN)としてAl等の金属拡散障壁等に使われる。Wの成膜は、原料にWF₆、還元剤に水素を使う。



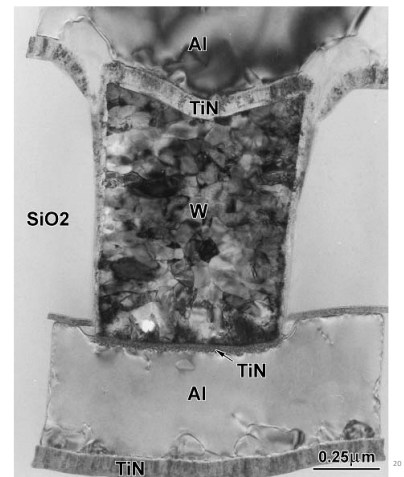
TiNの成膜は、原料にTiCl₄、還元剤にアンモニアを使う。



コンタクトプラグとビアプラグ: Si基板と金属配線を接続するものをコンタクトプラグという。また、多層配線の各層間を接続するものをビアプラグという。プラグには、Al、Cu、ポリシリコン以外にWも使われる。また、金属拡散障壁としてTiNが使われる。

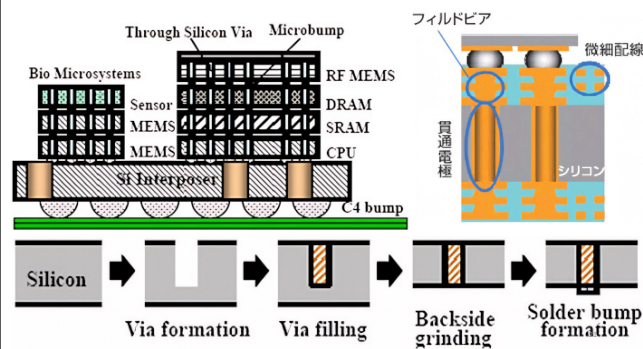


ビアプラグの電子顕微鏡像:



Si貫通電極(Through-Silicon Via: TSV):

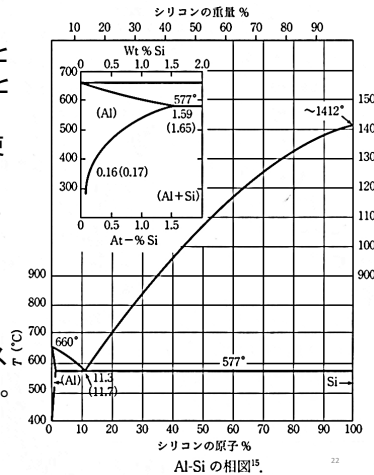
シリコンウェハ内部を垂直に貫通する電極をTSVという。複数枚のチップを積み重ねて1つのパッケージに収める場合に、上下のチップ同士の電氣的接続をTSVで行なう。



Al電極・配線形成:

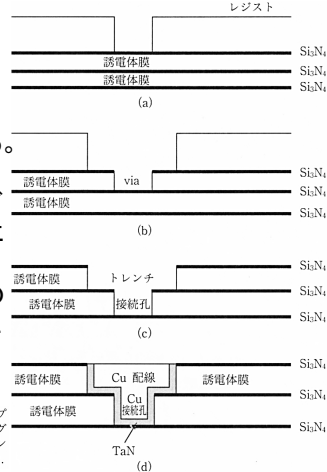
Alは成膜が容易で、Siとオーミック接触し、SiO₂との密着性も良いため、電極や配線として良く使われる。

一方、Alは約300°C程度からSiとの合金化が始まり577°Cで合金化してしまうので、Al成膜後の工程は500°C程度に制限される。Alは主にスパッタリングで成膜する。

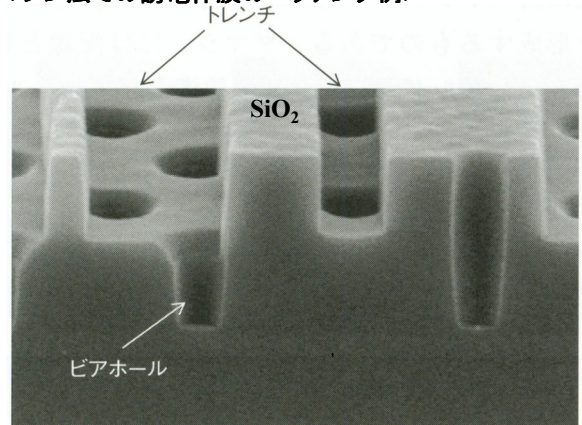


Cu電極・配線形成: CuはAlより抵抗率が低く、高融点でエレクトロマイグレーションによる断線が起きにくい、Alより優れた配線材料である。一方、SiやSiO₂内に拡散し易く、SiO₂との密着性も悪い。ダマシン(象嵌)法が2000年頃に開発されて実用化した。絶縁膜にプラグ用の穴と配線用の溝をフォトリソで作り、そこに銅をメッキ法で成膜する。その後、CMPで平坦化する。

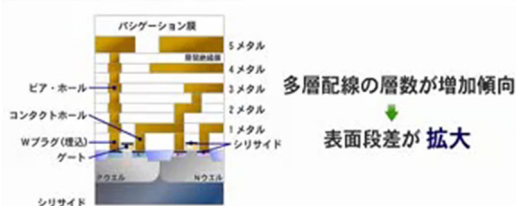
二重ダマシン法によりCu線-びょう構造を作るためのプロセス。(a) レジスト塗布。(b) 反応性イオンエッチングによる誘電体膜とレジストのパターニング。(c) 溝とコンタクトホール。の作製。(d) Cuの堆積と化学機械研磨 (CMP)。



ダマシン法での誘電体膜のエッチング例:



化学機械研磨(CMP)法:



多層配線の層数が増加傾向

表面段差が拡大

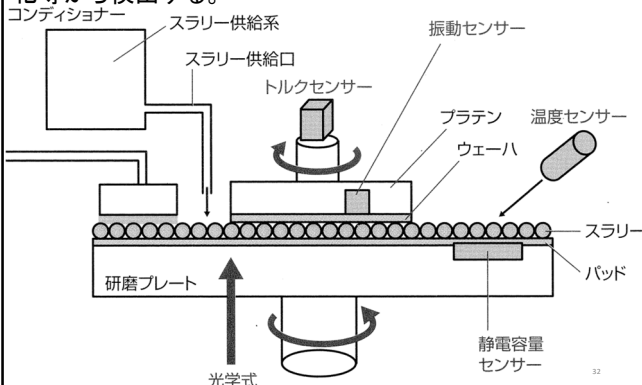
大きな問題

1. 配線層間の絶縁が不十分となる
2. 精密な微細パターンを作りにくい

平坦化の有効な方法

CMP法(化学的機械的研磨)

CMP法2: CMP法の研磨終点は、研磨時間以外にウェハの回転トルクや振動、ウェハ表面の光の反射率の変化等から検出する。

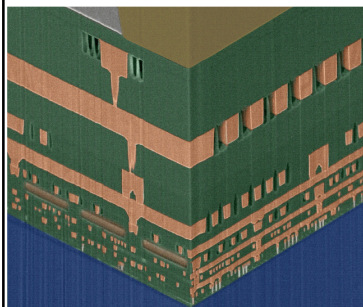


多層配線技術: 微細化による素子の高密度化に伴い、配線の多層化が進んだ。最近の金属配線は、low-k配線間絶縁膜とCuのダマシン法でつくられる。

配線層数

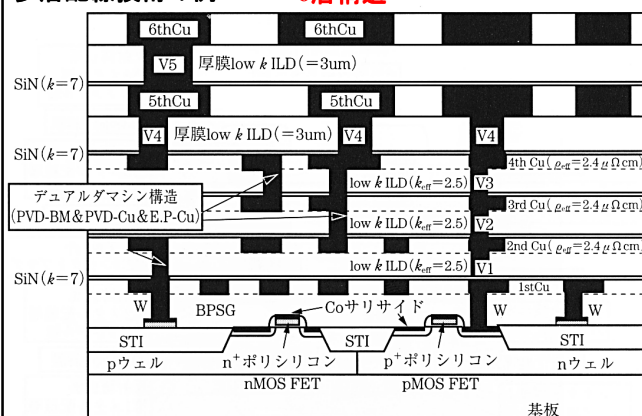
メモリ

(DRAM) ロジック LSI



	配線層数	メモリ (DRAM)	ロジック LSI
1999	3	6~7	
2000	3	7	
2001	3	7	
2002	3~4	7~8	
2003	4	8	
2004	4	8	
2005	4	8~9	
2008	4	9	
2011	4	9~10	
2014	4	10	

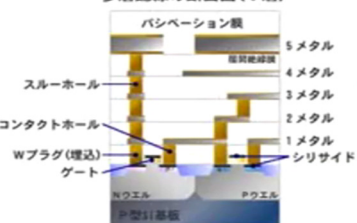
多層配線技術の例: 6層構造



BM: バリアメタル, E.P: 電界メッキ

多層配線技術の概要と新素材:

多層配線の断面図(5層)



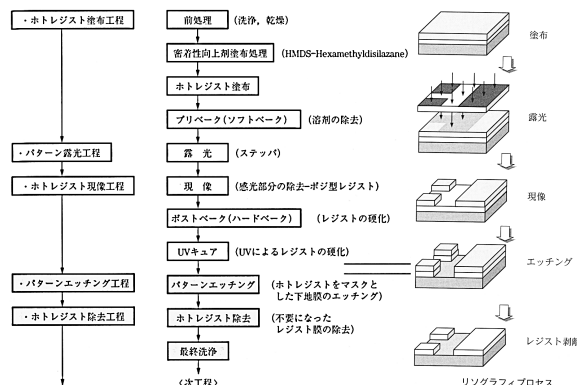
ポイント

- ・配線層間膜の平坦化
- ・コンタクトホールやスルーホールの埋込み

タングステンによる埋込み

CMPを用いた平坦化技術の開発、実用化

今回の予告: フトリソグラフィー技術



(参考) CVD法による様々な金属膜の成膜条件:

MOCVD 法による反応ガスと堆積膜

反 応	膜材料	ソースガス	堆積温度 [℃]	選択成長	堆積装置と光源		
熱 CVD	W	WF ₆ +Ar, He, N ₂ WF ₆ +H ₂ WF ₆ +SiH ₄	250～650	可	拡散炉型 LPCVD 炉 バッチ式ホットウォール 枚葉式コールドウォール (抵抗加熱, 高周波加熱, 白熱ランプ加熱)		
	Mo	MoCl ₅ +H ₂ MoF ₆ +Ar MoF ₆ +H ₂	200～500	可			
	Al	TMA[(CH ₃) ₃ Al] TEA[(C ₂ H ₅) ₃ Al] TIBA[(i-C ₄ H ₉) ₃ Al] AlCl ₃	r. t.～300 500 50～300 ～400	可			
	WSi _x	WF ₆ +SiH ₄ WF ₆ +Si ₂ H ₆	350～450 250～450	WSi _x TiSi _x TaSi _x			
	MoSi	MoCl ₅ +SiH ₄	500～800				
	TiSi _x	TiCl ₄ +SiH ₄	700～1 000				
	TaSi _x	TaCl ₅ +SiH ₄	575				
	プラズマ CVD	W	WF ₆ +H ₂	200～400			拡散炉型 LPCVD 炉 バッチ式ホットウォール 枚葉式コールドウォール (グロー放電, マイクロ 波放電)
		Mo	MoCl ₅ +H ₂	170～430			
		WSi _x	WF ₆ +Si ₂ H ₆	250～450			
MoSi _x TiSi _x		MoF ₆ +SiH ₄ TiCl ₄ +SiH ₄	300～800				
光 CVD	W, Mo, Ni, Al, Cd, Sn, Fe, Cr など	M(CH ₃) ₃ , MCO ₃ , MCO _x , MF ₆ など (M：金属)	室温	可	エキシマレーザ, Ar レーザ, 真空紫外線ラン プ, Hg ランプなど		