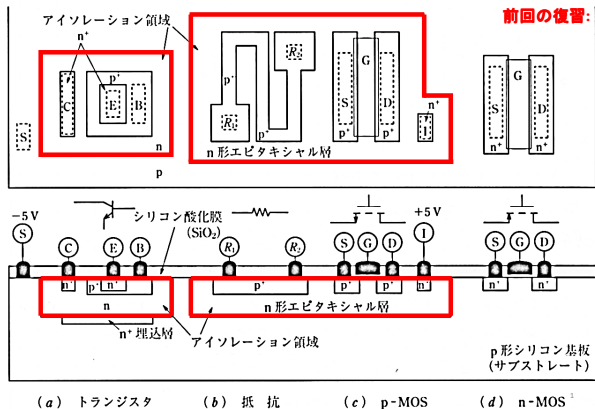


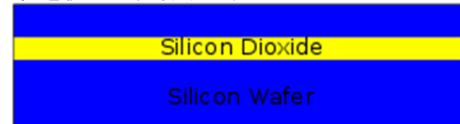
**素子分離:** 集積回路の各素子は、互いに絶縁された「**アイソレーション領域**」中に作られる。これを、素子分離という。



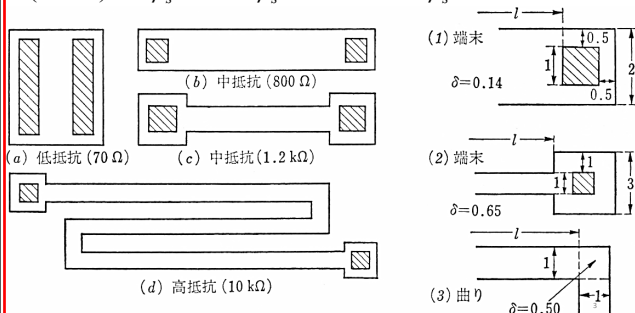
**前回の復習: 素子分離の種類:**

「**アイソレーション領域**」の作製方法には、主に以下の様な方法がある。

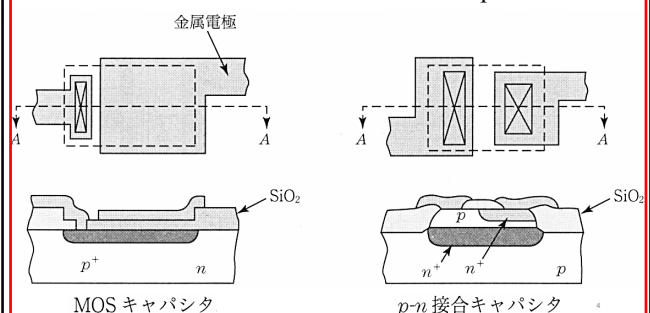
1. **pn接合分離:** pn接合に逆バイアスかけて絶縁する。
2. **LOCOS(Local Oxidation of Silicon)構造分離:** 局所的に熱酸化膜を成長させて絶縁する。
3. **STI(Shallow Trench Isolation)構造分離:** Si基板に深い溝を掘り、そこにCVDで酸化シリコンを詰め込んで絶縁する。
4. **SOI(Silicon On Insulator)構造分離:** SOI基板を使って絶縁する。



**前回の復習: IC用抵抗:** 集積回路では、Siを抵抗として使う。抵抗形成プロセスはトランジスタのベース形成プロセスと共用されることが多く、一般にシート抵抗は $\rho_s=30\sim800$  [ $\Omega/\square$ ]である。また、抵抗の長さ $L$ と幅 $W$ の比を整数 $n$ にすると( $L=nW$ )、 $R=\rho_s L/W = n\rho_s$ となり抵抗 $R$ は $\rho_s$ の $n$ 倍になる。



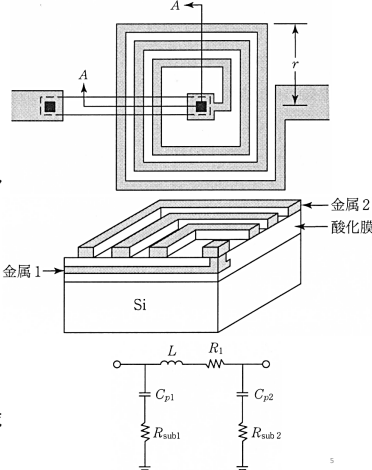
**前回の復習: IC用コンデンサ:** 集積回路では、MOS構造とpn接合構造のコンデンサが使われる。両構造とも、集積回路上では占有面積 $S$ は大きくできず、誘電層の厚さ $d$ もあまり薄くできないので、静電容量 $C(=\epsilon S/d)$ は大きくできない。通常のIC用コンデンサの静電容量は0.1~50 pF程度である。



**IC用インダクタ(コイル):**

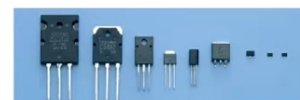
コイルは占有面積が大きい割にインダクタンス値が小さい(0.1~10 nH)ので、高周波集積回路以外では、あまり使われない。

薄膜スパイラル法でつくられ、Si基板とは厚い酸化膜で絶縁されている。また、直列寄生抵抗 $R_1$ を減らすためにCu配線、寄生容量 $C_p$ を減らすためにlow-k層間絶縁膜を使うこともある。



**トランジスタの種類:**

### トランジスタ



スイッチ機能、信号増幅機能を持つ半導体素子

提供: 株式会社東芝

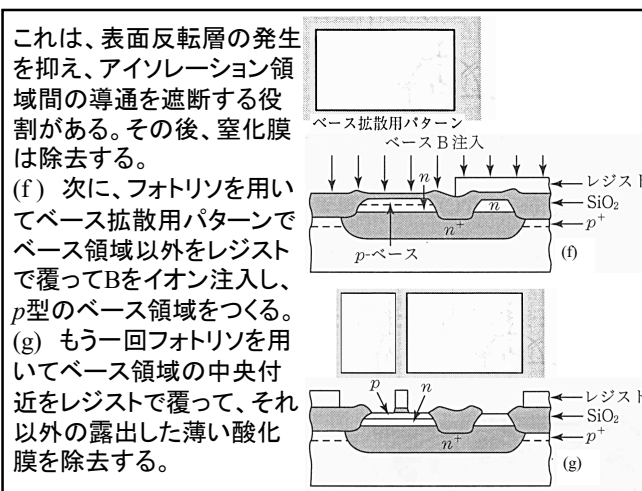
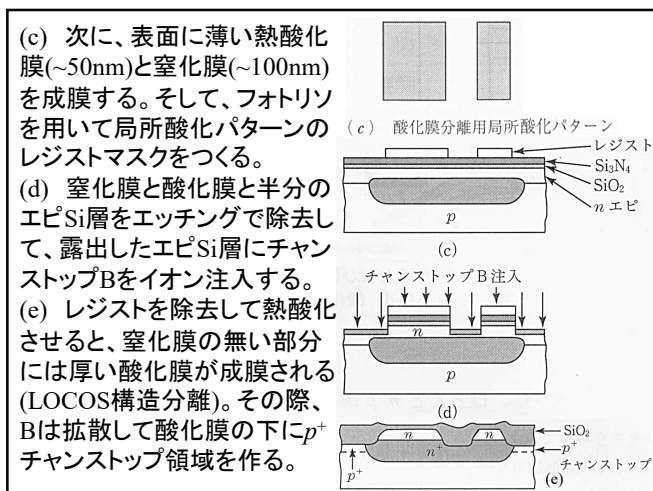
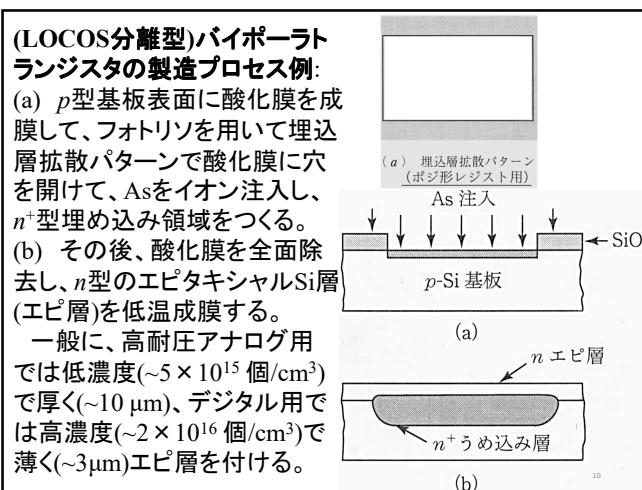
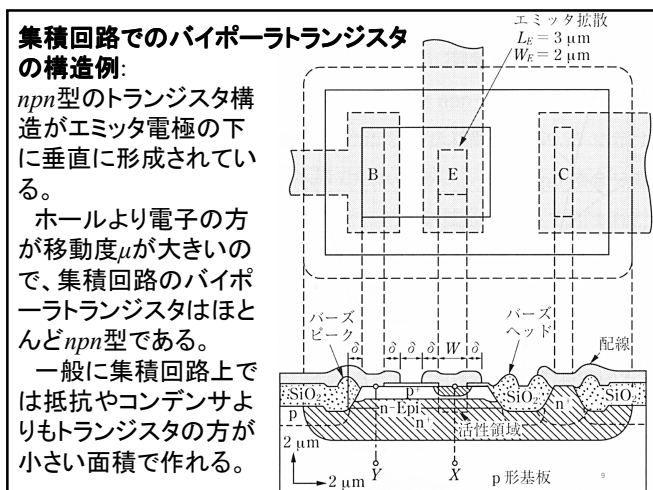
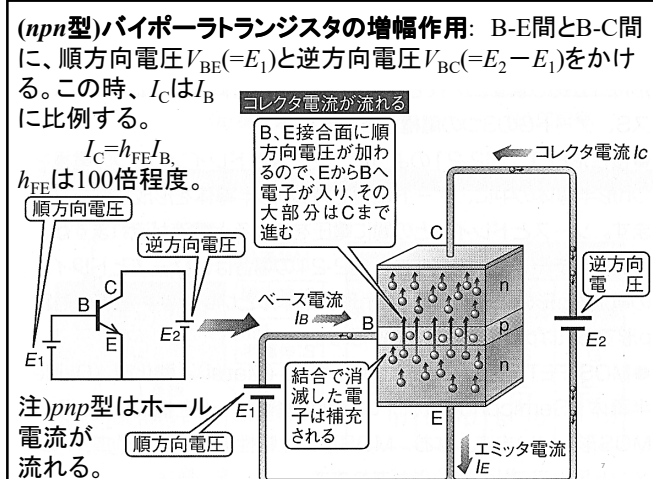
#### バイポーラトランジスタ

- 構造
- ・P型・N型組合せ
  - ・NPNトランジスタ
  - ・PNPトランジスタ

用途  
アナログ IC、  
高周波デバイスなど

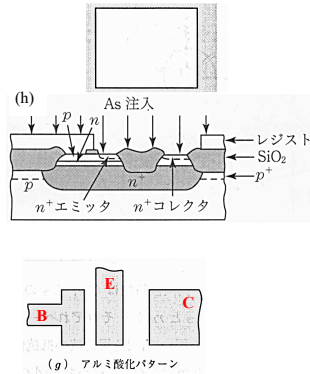
#### 電界効果トランジスタ(FET)

- 構造
- ・接合型電界効果トランジスタ(JFET) ----- オーディオ増幅器など
  - ・MOS型電界効果トランジスタ(MOSFET) --- LSI構成デバイスとして幅広く使用
- 電流の主体(電子または正孔)
- ・Nチャネルタイプ
  - ・Pチャネルタイプ



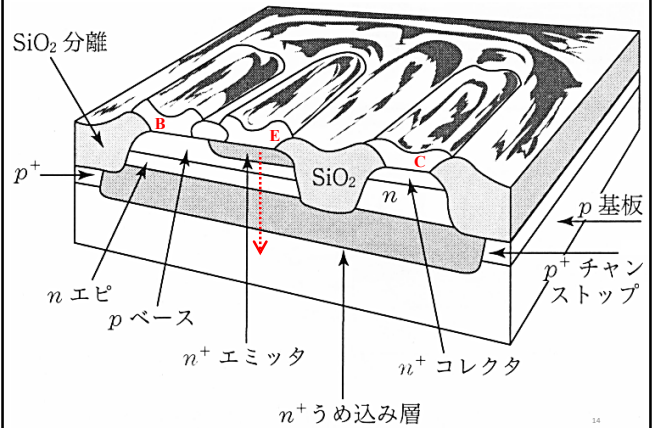
(h) さらに、もう一回フォトリソを用いてベース接続部をレジストで覆って、もう一度Asをイオン注入し $n^+$ エミッタ領域と $n^+$ コレクタ接合部をつくる。

最後に、レジストを除去して、Alを全面成膜し、アルミ酸化パターンを用いて余分なアルミをエッチングして電極を作製する。



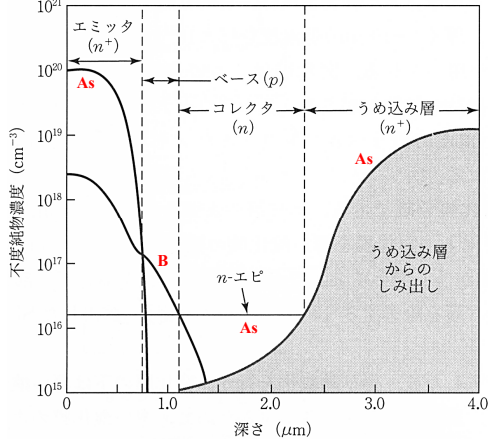
13

### 完成したバイポーラトランジスタの斜視断面図:



14

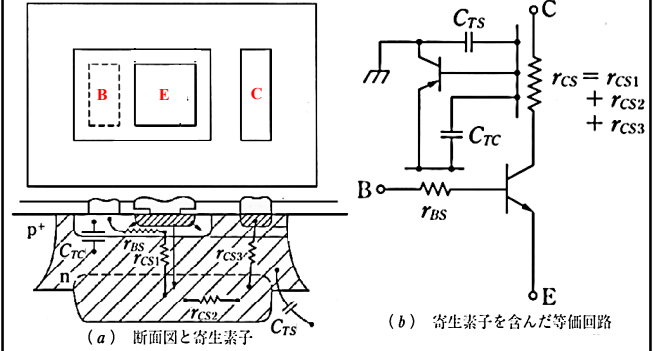
### バイポーラトランジスタの不純物濃度分布: (前頁の赤い線)



15

### バイポーラトランジスタの寄生素子: 以下のものがある。

1. ベース直列抵抗 $r_{BS}$ 、コレクタ直列抵抗 $r_{CS}$ 。
2. BC間容量 $C_{TC}$ 、コレクタ-基板間容量 $C_{TS}$ 。
3. ベース-コレクタ-基板間 $pnp$ 型寄生トランジスタ。

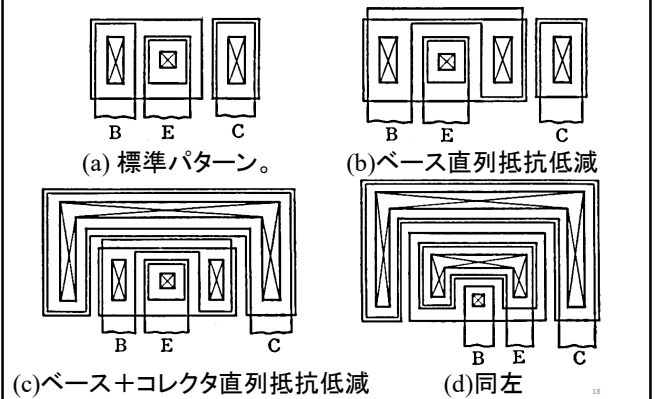


この内、コレクタ直列抵抗 $r_{CS}$ と寄生トランジスタは $n^+$ 型埋め込み層である程度抑えることができる。また、 $r_{BS}$ と $r_{CS}$ は電極パターンの工夫で小さくできる(後述)。一方、寄生容量 $C_{TS}$ 、 $C_{TC}$ はトランジスタの周波数特性を悪化させるが、寄生容量は接合面積に比例するので、微細化で加工寸法が $1/1$ 倍になれば、寄生容量は $1/1^2$ 倍に減少し、周波数特性は $1^2$ 倍に向上する。

17

### バイポーラトランジスタの電極パターン:

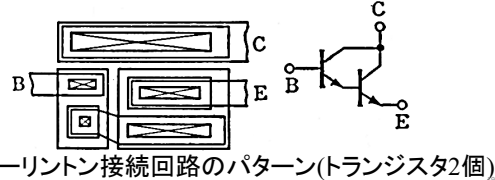
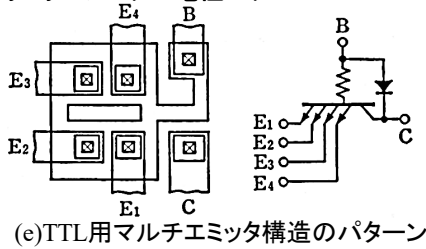
電極パターンはトランジスタ特性に影響を与える。



18



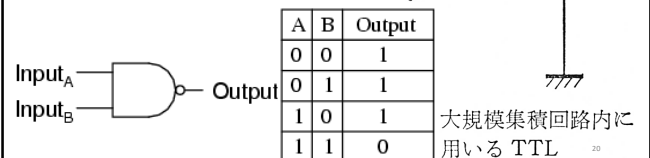
### バイポーラトランジスタの電極パターン2:



### (補足) マルチエミッタ構造のトランジスタを使ったNAND

入力が全て1( $=V_{cc}$ )の時は、トランジスタ $Q_1$ はオフとなり、 $V_B \approx V_{cc}$ となる。従って、トランジスタ $Q_2$ がオンとなり、出力 $V_o \approx 0$ となる。

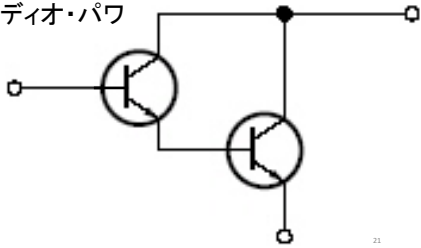
どれか1つ以上の入力が0の時は、トランジスタ $Q_1$ はオンとなり、 $V_B \approx 0$ となる。従って、トランジスタ $Q_2$ がオフとなり、出力 $V_o \approx V_{cc}$ となる。



### (補足) ダーリントン接続

2個のトランジスタのコレクタ同士を繋いで、1個目のトランジスタのエミッタと2個目のトランジスタのベースを接続する使い方をダーリントン接続と呼ぶ。ダーリントン接続の回路全体が1つのトランジスタのように動作する。電流増幅率は、それぞれのトランジスタの電流増幅率の積になる。

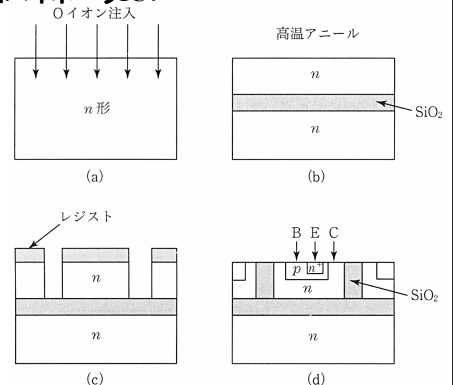
電流増幅率が高くて、大きなコレクタ電流が流せるのでオペアンプ内や、オーディオ・パワーアンプの最終段などで使われる。



### SOI基板を使ったバイポーラIC:

アイソレーション領域の側面だけでなく下面も、酸化膜分離にできる。

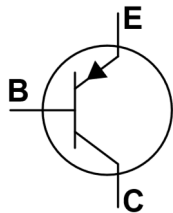
高耐電圧であり、高集積化にも適している。



高電圧用の SOI 技術を用いた酸化膜分離のバイポーラ・デバイスの作製手順。(a) イオン注入、(b) 酸化層形成の熱処理、(c) ドライエッチによる溝作製、(d) ベース、エミッタ、コレクタの作製。

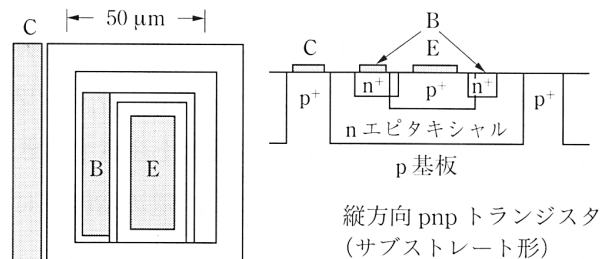
### pnp型バイポーラ・トランジスタ:

シリコンでは、ホールより電子の方が移動度が大きいので、集積回路で使われるバイポーラ・トランジスタはほとんどが npn 型だが、回路によっては npn 型と pnp 型を組み合わせた方が都合が良い場合もある。しかし、nnp 型と同性能の pnp 型トランジスタもつくると、製造工程が増えて高コストになってしまうので、性能は落ちるが製造工程が増えないサブストレート pnp 型トランジスタがラテラル pnp 型トランジスタが使われる。



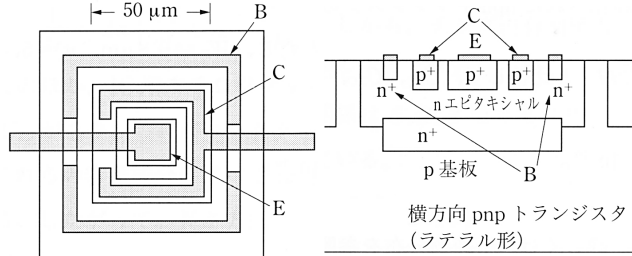
### サブストレートpnp型バイポーラ・トランジスタ:

基板をコレクタ、n型エピ層をベース、npn型でのp型ベース領域に相当する部分をエミッタにする。つまり16頁の3. pnp 型寄生トランジスタのこと。コレクタが基板に接続されているので、使用法が制限される。また、n型エピ層のベース幅が厚くてばらつくために、電流増幅率もばらつく欠点がある。



### ラテラルpnp型バイポーラ・トランジスタ:

横形pnp型とも呼ばれる。npn型でのp型ベース領域に相当する部分を横に分割してエミッタとコレクタにする。ベースはn型エピ層である。この場合のベース幅の加工精度は、フォトリソの加工精度で決まる。また、基板との間に寄生トランジスタが発生する。しかし、サブストレート型と違って、基板から素子分離がなされているので、広く使われている。



横方向 pnp トランジスタ  
(ラテラル形)

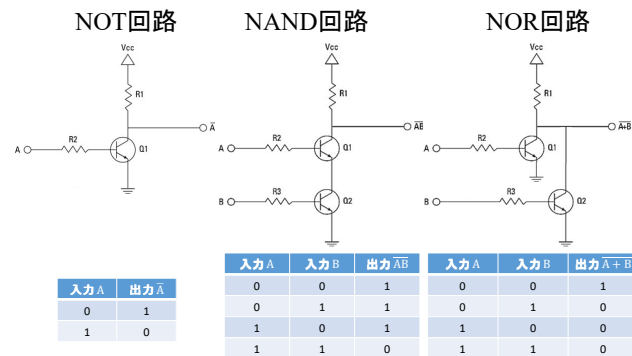
### IC用ダイオード:

トランジスタによるダイオードの構成とその特性例

トランジスタのBE間やBC間接合を転用する。通常、不純物濃度はコレクタ、ベース、エミッタの順に高くなっているため、BC間接合はキャリア濃度不足のため応答速度( $\propto t^{-1}$ 蓄積時間)が遅い。また、BE間接合は、応答速度は早い、耐電圧が低い(6~7V)。

構 成	(a) BE間	(b) BC間
等 価 回 路		
耐 圧 [V]	7	55
端子間容量 (pF)	0.5	0.7
対 地 容 量 (pF)	2.9	2.9
全 容 量 (pF)	3.5	3.3
蓄 積 時 間 (ns)	9	53
順方向電圧 [V]	0.85	0.94
寄生トランジスタ (pnp) の $\beta$	0	2

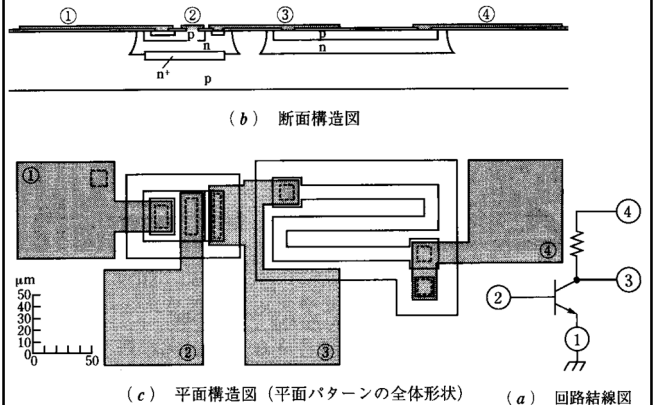
### バイポーラトランジスタでの論理ゲート回路例:



27

### バイポーラトランジスタ集積回路でのNOT回路の実装例:

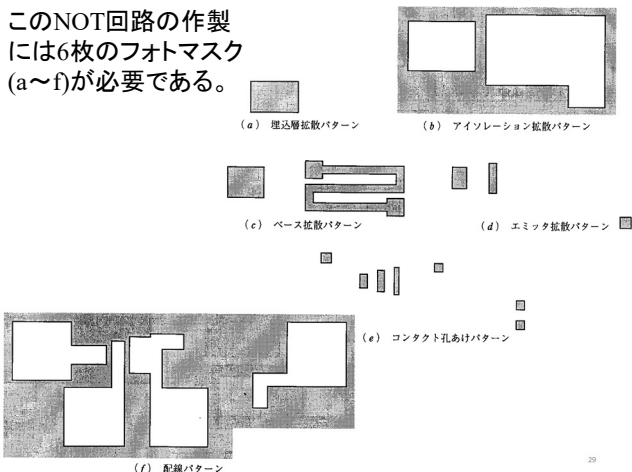
**注意:**トランジスタより抵抗の面積の方が大きい。



(c) 平面構造図 (平面パターンの全体形状)

(a) 回路結線図

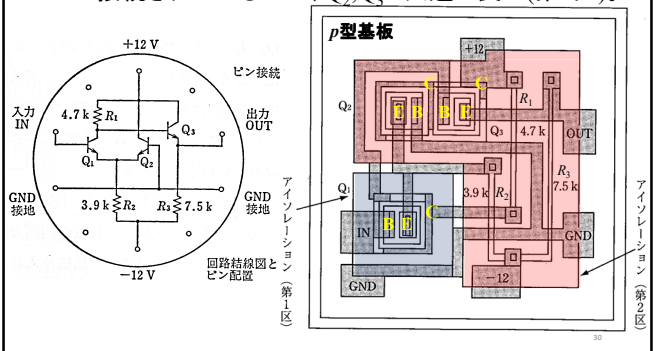
このNOT回路の作製には6枚のフォトマスク (a~f)が必要である。



(f) 配線パターン

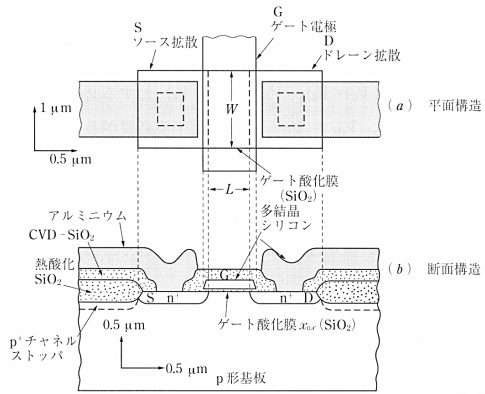
29

**バイポーラICの増幅回路の実装例:**  $Q_2$ と $Q_3$ のコレクタは常に+12Vなので共通のアイソレーション領域に作れる。さらに、抵抗のアイソレーション領域もpn接合分離のため常に+12Vに接続されているので、 $Q_2$ 、 $Q_3$ と共通で良い(第2区)。



アイソレーション領域 (第2区)

**次回の予告: MOS-IC**



シリコンゲート形 n チャネル MOS トランジスタ (LOCOS 構造)