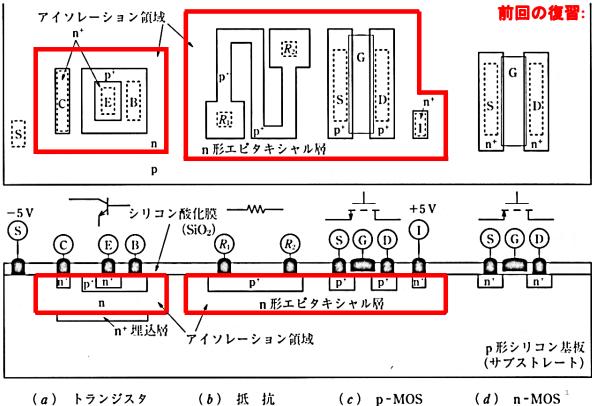


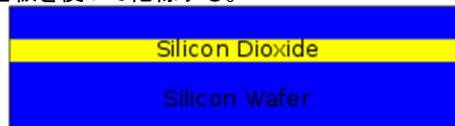
**素子分離:** 集積回路の各素子は、互いに絶縁された「アイソレーション領域」中に作られる。これを、素子分離という。



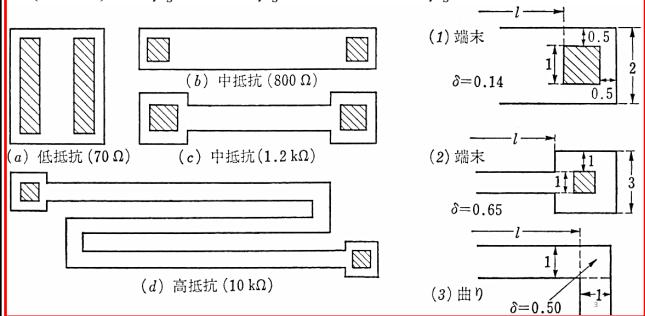
### 前回の復習: 素子分離の種類:

「アイソレーション領域」の作製方法には、主に以下の様な方法がある。

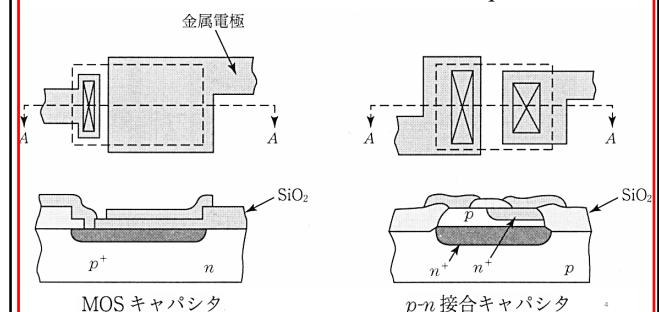
1. **pn接合分離:**  $pn$ 接合に逆バイアスかけて絶縁する。
2. **LOCOS(Local Oxidation of Silicon)構造分離:** 局所的に熱酸化膜を成長させて絶縁する。
3. **STI(Shallow Trench Isolation)構造分離:** Si基板に深い溝を掘り、そこにCVDで酸化シリコンを詰め込んで絶縁する。
4. **SOI(Silicon On Insulator)構造分離:** SOI基板を使って絶縁する。



**前回の復習: IC用抵抗:** 集積回路では、Siを抵抗として使う。抵抗形成プロセスはトランジスタのベース形成プロセスと共にされることが多い。一般にシート抵抗は  $\rho_s = 30 \sim 800 \Omega/\square$  である。また、抵抗の長さ  $L$  と幅  $W$  の比を整数  $n$  にする  $(L=nW)$ 、 $R=\rho_s L/W = n\rho_s$  となり抵抗  $R$  は  $\rho_s$  の  $n$  倍になる。

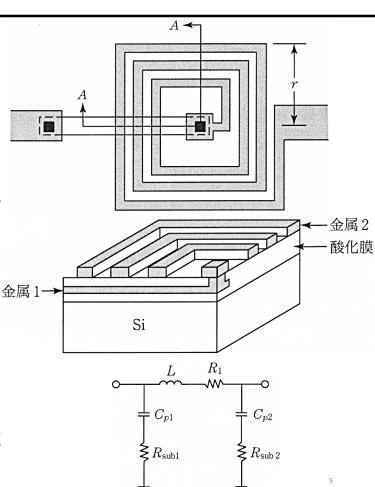


**前回の復習: IC用コンデンサ:** 集積回路では、MOS構造と  $pn$ 接合構造のコンデンサが使われる。両構造とも、集積回路上では占有面積  $S$  は大きくできず、誘電層の厚さ  $d$  もあまり薄くできないので、静電容量  $C(\varepsilon S/d)$  は大きくできない。通常のIC用コンデンサの静電容量は  $0.1 \sim 50 \text{ pF}$  程度である。



**IC用インダクタ(コイル):** コイルは占有面積が大きい割にインダクタンス値が小さい( $0.1 \sim 10 \text{ nH}$ )ので、高周波集積回路以外では、あまり使われない。

薄膜スパイラル法でつくられ、Si基板とは厚い酸化膜で絶縁されている。また、直列寄生抵抗  $R_1$  を減らすためにCu配線、寄生容量  $C_p$  を減らすためにlow-k層間絶縁膜を使うこともある。



### トランジスタの種類:



スイッチ機能、信号增幅機能を持つ半導体素子

#### バイポーラトランジスタ

- P型・N型組合せ
- NPNトランジスタ
- PNPトランジスタ

用途

アナログIC、

高周波デバイスなど

#### 電界効果トランジスタ(FET)

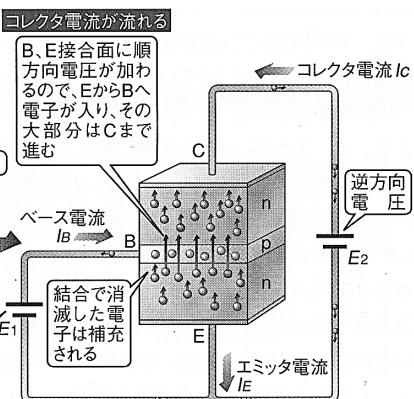
- 構造
- 接合型電界効果トランジスタ(JFET) --- オーディオ増幅器など
  - MOS型電界効果トランジスタ(MOSFET) --- LSI構成デバイスとして幅広く使用
- 電流の主体(電子または正孔)
- Nチャネルタイプ
  - Pチャネルタイプ

(*npn*型)バイポーラトランジスタの増幅作用: B-E間とB-C間に、順方向電圧  $V_{BE}(=E_1)$  と逆方向電圧  $V_{BC}(=E_2 - E_1)$  をかける。この時、 $I_C$  は  $I_B$  に比例する。

$$I_C = h_{FE} I_B, \quad h_{FE} \text{ は } 100\text{ 倍程度。}$$

(順方向電圧)

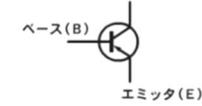
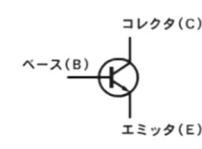
注) *pnp*型はホール電流が  
流れます。(順方向電圧)



### バイポーラトランジスタの動作の復習:

#### バイポーラトランジスタ

bipolar = 2極  
2つのPN接合を持ち、電子と正孔の両方のキャリアを利用して電流を増幅、またはスイッチングを行うトランジスタ

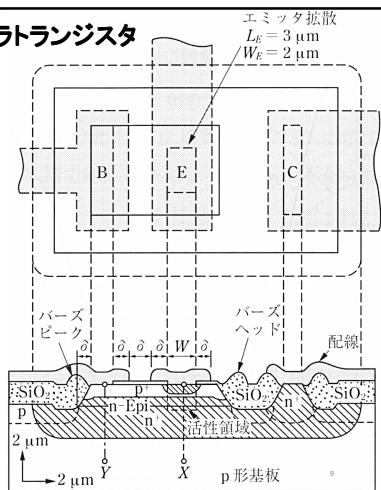


### 集積回路でのバイポーラトランジスタの構造例:

*npn*型のトランジスタ構造がエミッタ電極の下に垂直に形成されている。

ホールより電子の方が移動度  $\mu$  が大きいので、集積回路のバイポーラトランジスタはほとんど *npn*型である。

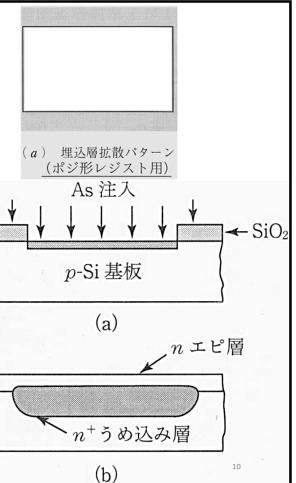
一般に集積回路上では抵抗やコンデンサよりもトランジスタの方が小さい面積で作れる。



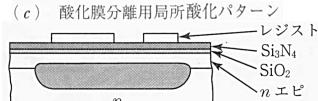
### (LOCOS分離型)バイポーラトランジスタの製造プロセス例:

- (a) *p*型基板表面に酸化膜を成膜して、フォトリソ用いて埋込層拡散パターンで酸化膜に穴を開けて、Asをイオン注入し、*n*<sup>+</sup>型埋め込み領域をつくる。  
(b) その後、酸化膜を全面除去し、*n*型のエピタキシャルSi層(エピ層)を低温成膜する。

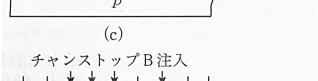
一般に、高耐圧アナログ用では低濃度( $\sim 5 \times 10^{15}$  個/cm<sup>3</sup>)で厚く( $\sim 10 \mu\text{m}$ )、デジタル用では高濃度( $\sim 2 \times 10^{16}$  個/cm<sup>3</sup>)で薄く( $\sim 3 \mu\text{m}$ )エピ層を付ける。



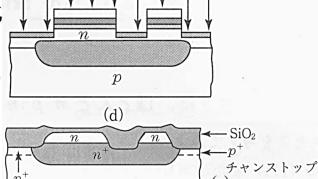
(c) 次に、表面に薄い熱酸化膜( $\sim 50\text{nm}$ )と窒化膜( $\sim 100\text{nm}$ )を成膜する。そして、フォトリソを用いて局所酸化パターンのレジストマスクをつくる。



(d) 窒化膜と酸化膜と半分のエピSi層をエッティングで除去して、露出したエピSi層にチャンストップBをイオン注入する。

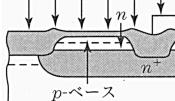
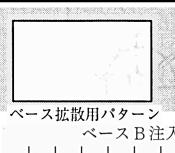


(e) レジストを除去して熱酸化させると、窒化膜の無い部分には厚い酸化膜が成膜される(LOCOS構造分離)。その際、Bは拡散して酸化膜の下に*p*<sup>+</sup>チャンストップ領域を作る。

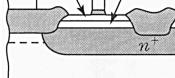
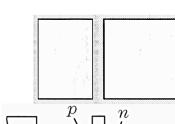


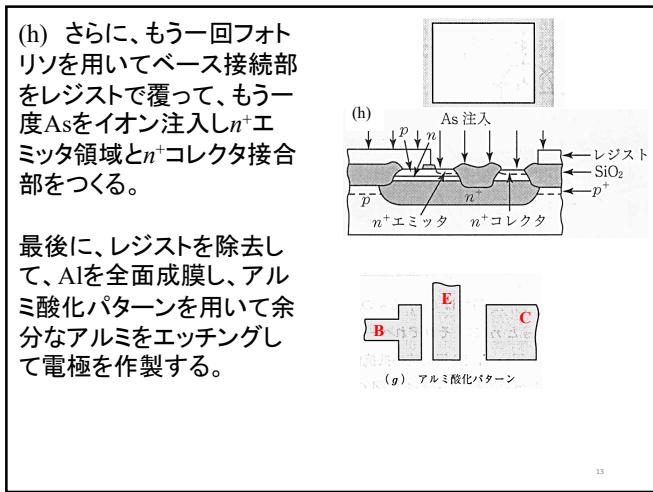
これは、表面反転層の発生を抑え、アイソレーション領域間の導通を遮断する役割がある。その後、窒化膜は除去する。

(f) 次に、フォトリソを用いてベース拡散用パターンでベース領域以外をレジストで覆ってBをイオン注入し、*p*型のベース領域をつくる。

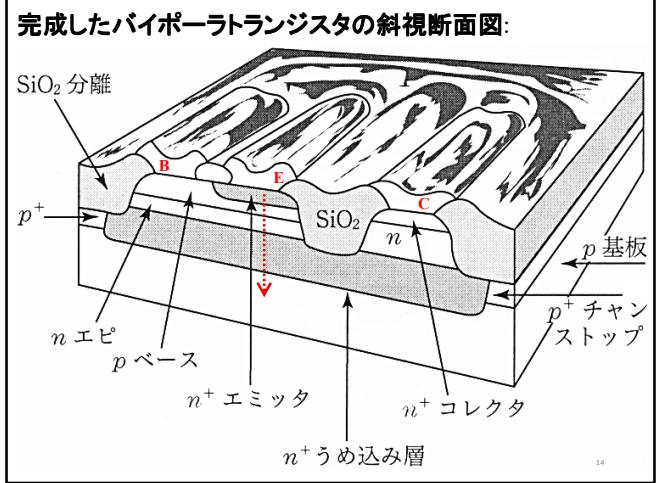


(g) もう一回フォトリソを用いてベース領域の中央附近をレジストで覆って、それ以外の露出した薄い酸化膜を除去する。

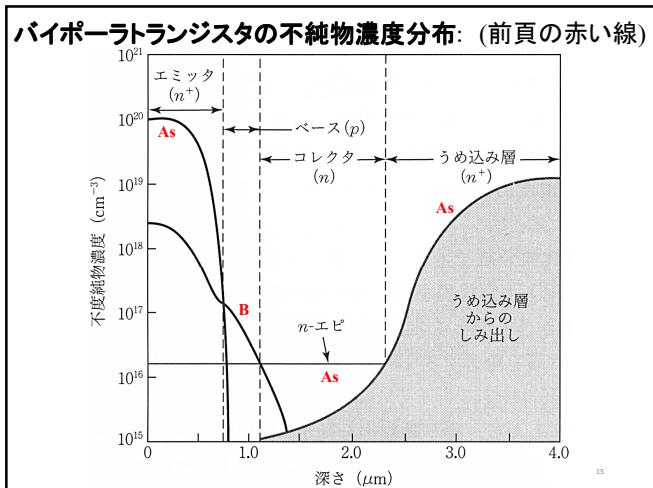




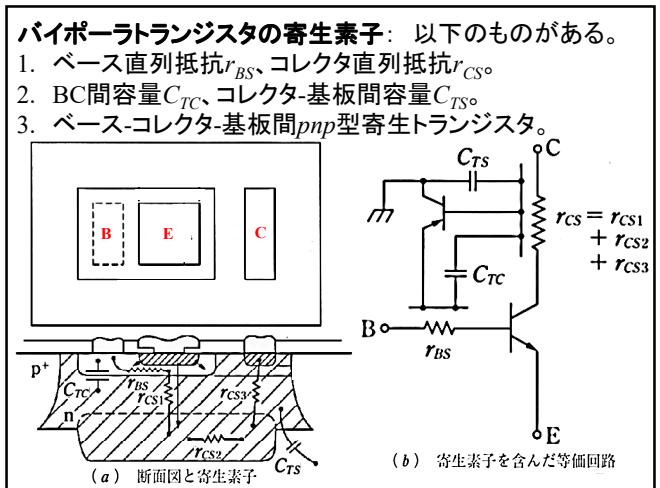
13



14



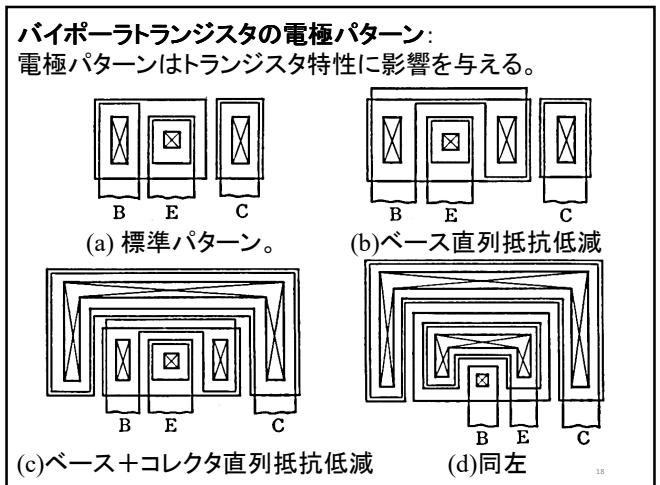
15



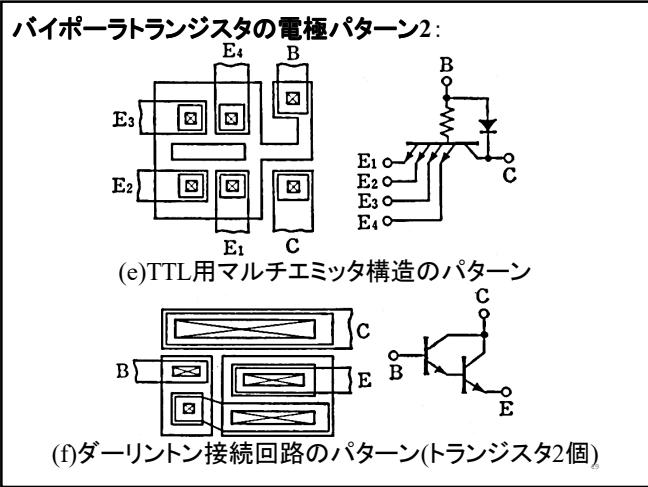
(b) 寄生素子を含んだ等価回路

この内、コレクタ直列抵抗 $r_{CS}$ と寄生トランジスタは $n^+$ 型埋め込み層である程度抑えることができる。また、 $r_{BS}$ と $r_{CS}$ は電極パターンの工夫で小さくできる(後述)。一方、寄生容量 $C_{TS}$ 、 $C_{TC}$ はトランジスタの周波数特性を悪化させるが、寄生容量は接合面積に比例するので、微細化で加工寸法が $1/l$ 倍になれば、寄生容量は $1/l^2$ 倍に減少し、周波数特性は $l^2$ 倍に向上する。

17



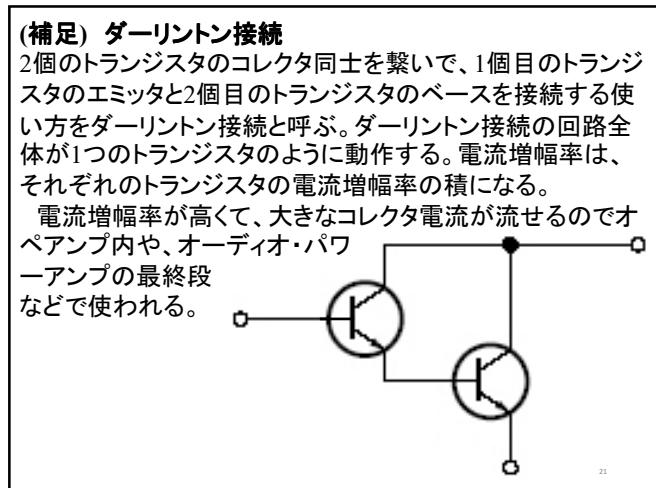
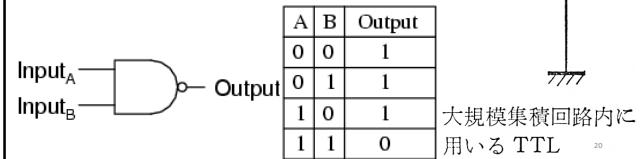
18



### (補足) マルチエミッタ構造のトランジスタを使ったNAND

入力が全て1( $=V_{CC}$ )の時は、トランジスタ $Q_1$ はオフとなり、 $V_B \approx V_{CC}$ となる。従って、トランジスタ $Q_2$ がオンとなり、出力 $V_o \approx 0$ となる。

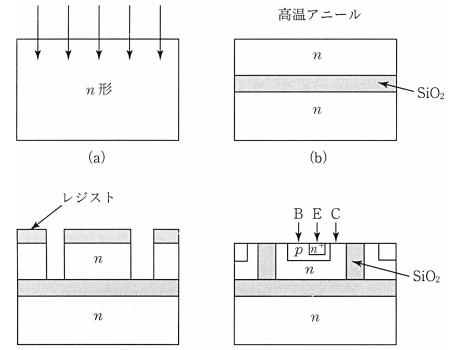
どれか1つ以上の入力が0の時は、トランジスタ $Q_1$ はオンとなり、 $V_B \approx 0$ となる。従って、トランジスタ $Q_2$ がオフとなり、出力 $V_o \approx V_{CC}$ となる。



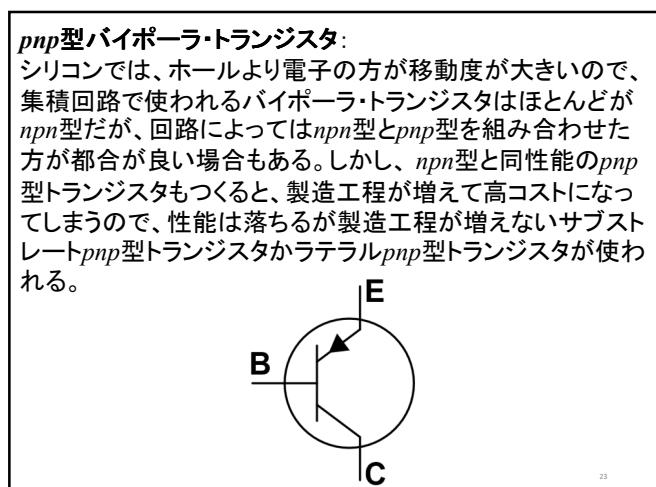
### SOI基板を使ったバイポーラIC:

アイソレーション領域の側面だけでなく下面も、酸化膜分離にできる。

高耐電圧であり、高集積化にも適している。

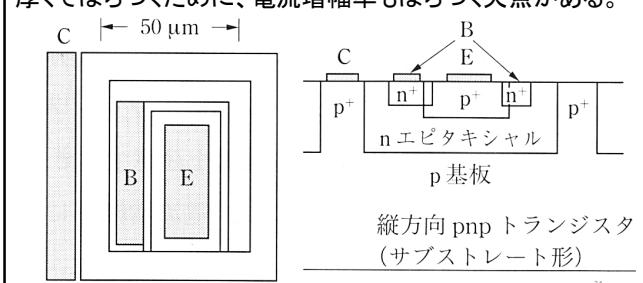


高電圧用のSOI技術を用いた酸化膜分離のバイポーラ・デバイスの作製手順。(a) イオン注入、(b) 酸化層形成の熱処理、(c) ドライエッチによる溝作製、(d) ベース、エミッタ、コレクタの作製。



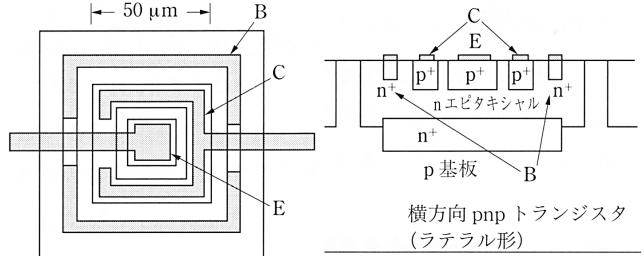
### サブストレート $pnp$ 型バイポーラ・トランジスタ:

基板をコレクタ、 $n$ 型エピ層をベース、 $npn$ 型での $p$ 型ベース領域に相当する部分をエミッタにする。つまり16頁の3.  $pnp$ 型寄生トランジスタのこと。コレクタが基板に接続されているので、使用法が制限される。また、 $n$ 型エピ層のベース幅が厚くてばらつくために、電流増幅率もばらつく欠点がある。



### ラテラルpnp型バイポーラ・トランジスタ:

横形pnp型とも呼ばれる。npn型でのp型ベース領域に相当する部分を横に分割してエミッタとコレクタにする。ベースはn型エビ層である。この場合のベース幅の加工精度は、フォトリソの加工精度で決まる。また、基板との間に寄生トランジスタが発生する。しかし、サブストレート型と違って、基板から素子分離がなされているので、広く使われている。



### IC用ダイオード:

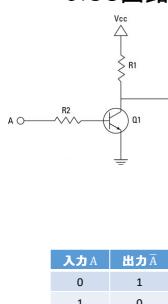
トランジスタのBE間やBC間接合を転用する。通常、不純物濃度はコレクタ、ベース、エミッタの順に高くなっているので、BC間接合はキャリア濃度不足のため応答速度( $\infty^{-1}$ 蓄積時間)が遅い。また、BE間接合は、応答速度は早いが、耐電圧が低い(6~7V)。

トランジスタによるダイオードの構成とその特性例

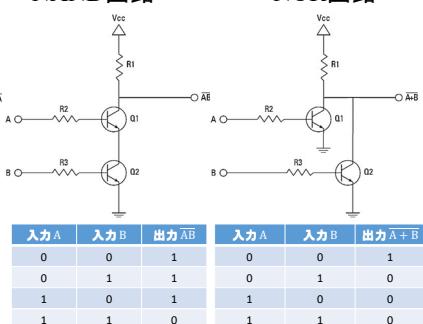
構成	BE間	BC間
(a)		
等価回路		
耐圧 (V)	7	55
端子間容量 (pF)	0.5	0.7
対地容量 (pF)	2.9	2.9
全容量 (pF)	3.5	3.3
蓄積時間 (ns)	9	53
順方向電圧 (V)	0.85	0.94
寄生トランジスタ (pnp) の $\beta$	0	2

### バイポーラトランジスタでの論理ゲート回路例:

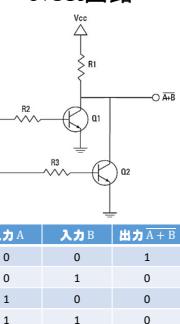
NOT回路



NAND回路

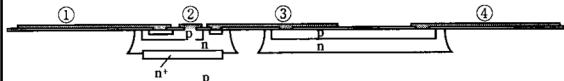


NOR回路

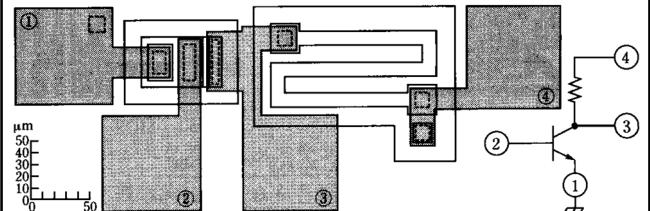


### バイポーラトランジスタ集積回路でのNOT回路の実装例:

注意:トランジスタより抵抗の面積の方が大きい。

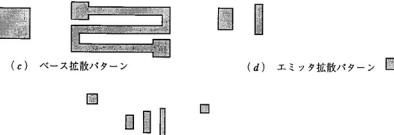
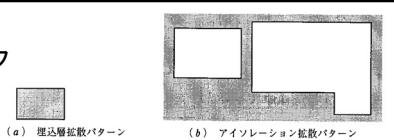


(b) 断面構造図



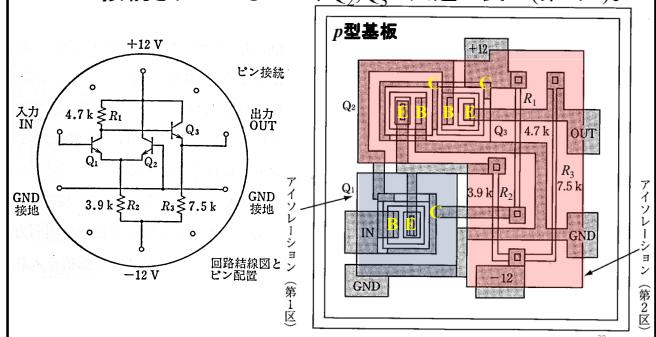
(a) 回路結線図

このNOT回路の作製には6枚のフォトマスク(a~f)が必要である。

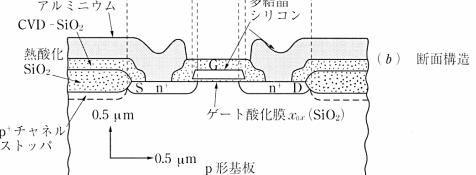
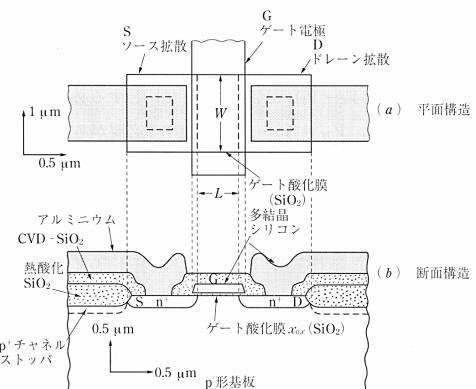


29

バイポーラICの増幅回路の実装例:  $Q_2$ と $Q_3$ のコレクタは常に+12Vなので共通のアイソレーション領域に作れる。さらに、抵抗のアイソレーション領域もpn接合分離のため常に+12Vに接続されているので、 $Q_2, Q_3$ と共に通で良い(第2区)。



次回の予告: MOS-IC



シリコンゲート形nチャネルMOSトランジスタ (LOCOS構造)