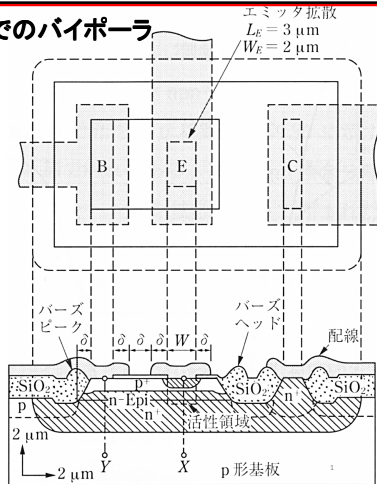


前回の復習: 集積回路でのバイポーラトランジスタの構造例:

npn 型のトランジスタ構造がエミッタ電極の下に垂直に形成されている。

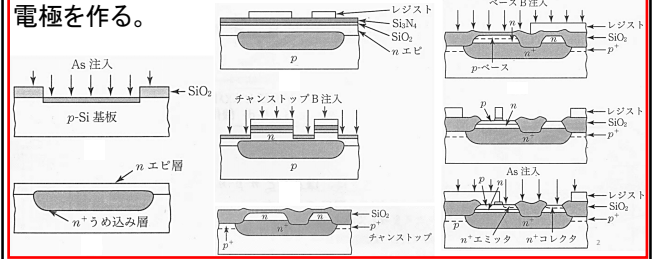
ホールより電子の方が移動度 μ が大きいので、集積回路のバイポーラトランジスタはほとんど npn 型である。

一般に集積回路上では抵抗やコンデンサよりもトランジスタの方が小さい面積で作れる。



前回の復習: バイポーラトランジスタの製造プロセス例:

n^+ 型埋め込み領域をつくって、 n 型のエピ層を付ける。そして、酸化膜と窒化膜を付けた後に、フォトリソで局所エッチングして、チャンネルストップ用のBをイオン注入して、熱酸化させLOCOS構造分離を作る。Bのイオン注入で p 型のベース領域をつくり、Asのイオン注入で n^+ エミッタ領域と n^+ コレクタ接合部をつくる。最後に、Alを全面成膜してエッチングで、電極を作る。

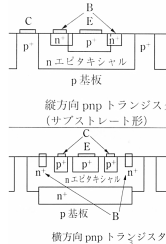


前回の復習: pnp型バイポーラトランジスタ

npn 型と同性能の pnp 型もつくると、製造工程が増えて高コストになってしまうので、性能は落ちるが製造工程が増えないサブストレート pnp 型トランジスタからラテラル pnp 型トランジスタが使われる。

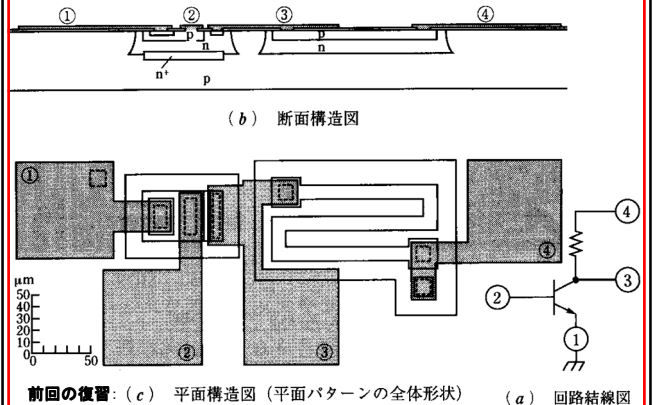
サブストレート pnp 型トランジスタ: 基板をコレクタ、 n 型エピ層をベース、 npn 型での p 型ベース領域に相当する部分をエミッタにする。コレクタが基板に接続されているので、使用法が制限される。

ラテラル pnp 型バイポーラIC: 横形 pnp 型とも呼ばれる。 npn 型での p 型ベース領域に相当する部分を分割してエミッタとコレクタにする。ベースは n 型エピ層である。サブストレート型と違って、素子分離がなされているので、広く使われている。



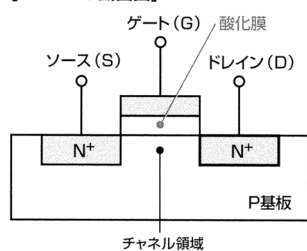
バイポーラトランジスタ集積回路でのNOT回路の実装例:

注意: トランジスタより抵抗の面積の方が大きい。

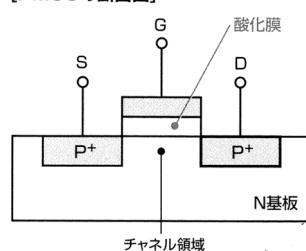


電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor: MOS-FET): ユニポーラトランジスタともいう。 n MOSと p MOSがある。入力インピーダンスが高く低消費電力で、集積化が容易なため、現在の集積回路の主流である。特に、デジタル回路はほぼ全てMOS-FETが使われている。

[NMOSの断面図]



[PMOSの断面図]

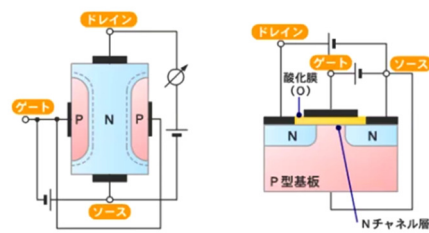


電界効果トランジスタ(Field Effect Transistor: FET):

電界効果トランジスタ

Field effect Transistor = FET

電子または正孔のどちらか一方のキャリアを利用するトランジスタ

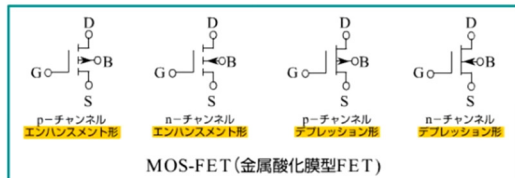
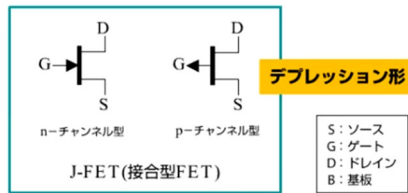


接合型電界効果トランジスタ (JFET) MOS型電界効果トランジスタ (MOSFET)

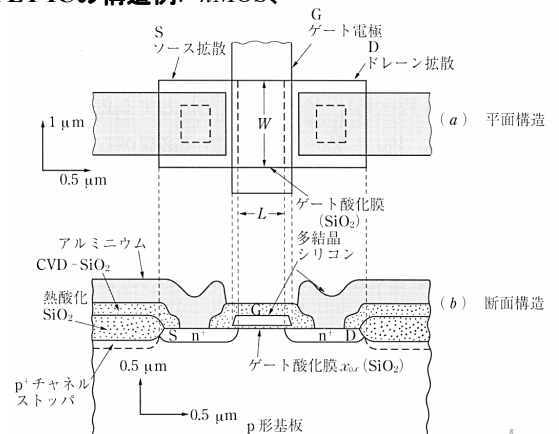
FAQ

MESFETとはなんですか。

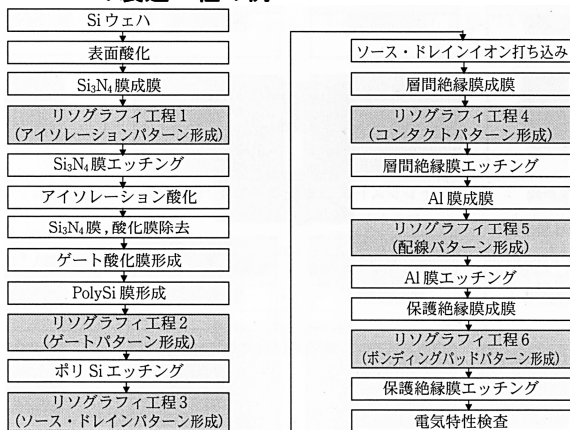
FETの動作:



MOS-FET ICの構造例: nMOS、



MOS-FETの製造工程の例:

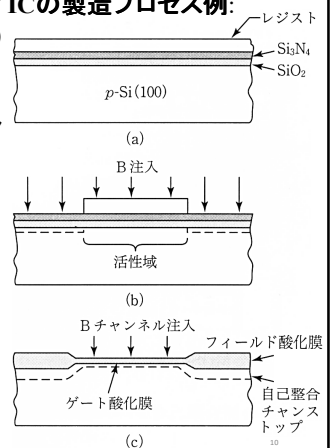


(LOCOS分離型)nMOS-FET ICの製造プロセス例:

(a) p 基板上に熱酸化膜 (~30nm) と窒化膜 (~150nm) を成膜し、フォトリソを塗る。

(b) レジストでアイソレーション領域をマスクして、チャンネルトップのBを注入する。

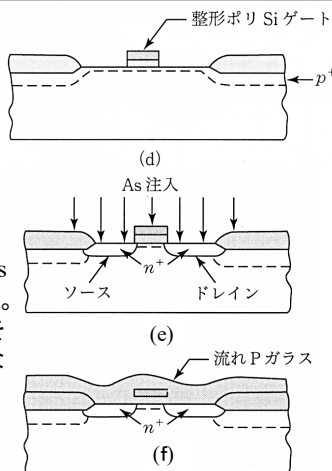
(c) レジストで保護されていない部分の窒化膜を除去し、素子分離フィールド酸化膜 (0.5~1μm) を成膜する。その後、窒化膜と酸化膜を除去し、薄いゲート酸化膜 (10nm以下) を熱酸化で成膜する。



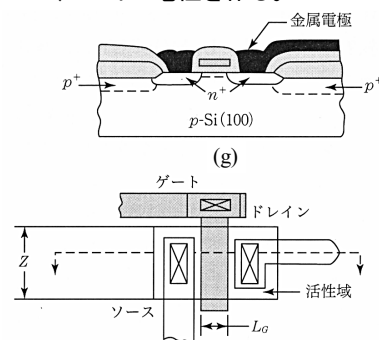
(d) ポリシリコン膜を全面に成膜して、ポリシリコン膜のシート抵抗を数十 [Ω/\square] 程度に下げるためPをイオン注入する。その後、フォトリソでゲート電極部以外の余分な酸化膜とポリシリコン膜を除去する。

(e) ソースとドレイン部分にAsをイオン注入してn⁺型にする。

(f) 流れリンガラス(絶縁膜)を全面成膜して低温加熱し、なめらかな表面にする。



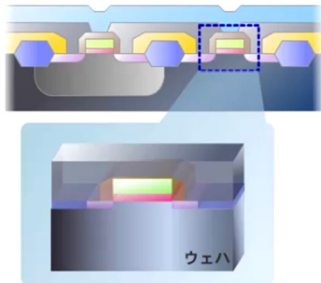
(g) フォトリソで電極部分のリンガラスをエッチング除去してコンタクトを形成し、アルミニウムを全面成膜する。その後、再びフォトリソで余分なアルミ部分をエッチング除去して、ソース、ゲート、ドレイン電極を作る。



MOSの作製プロセスのまとめ:

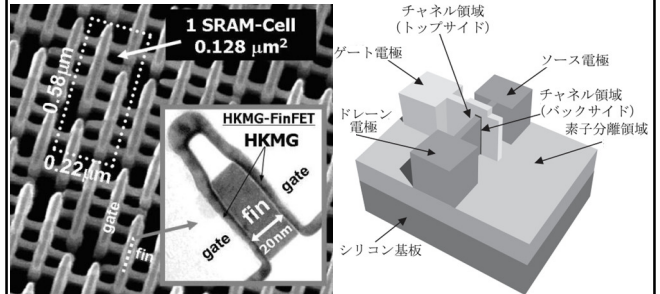
CMOSの場合

CMOSが完成



マルチゲートFET:

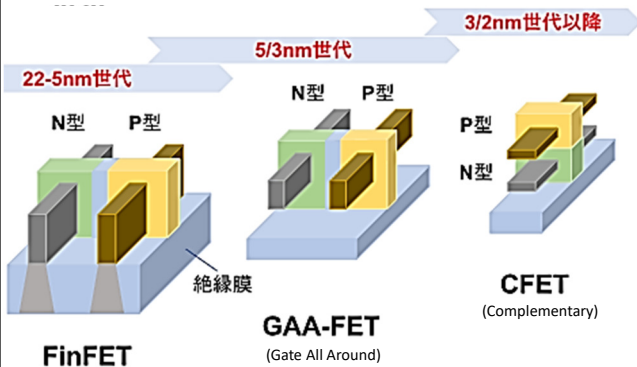
ゲート構造を立体化してゲート面積を増やし、静電容量 C_0 を減らさずに素子サイズを縮小する。同時に、ゲート絶縁膜の膜厚を厚くしてリーク電流を抑制し低消費電力化する。



日本半導体歴史館

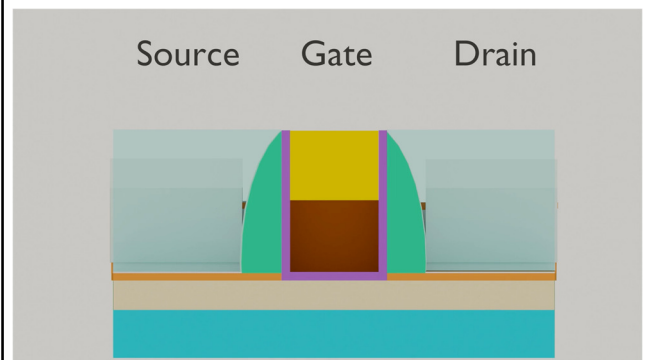
14

マルチゲートFETの種類:



15

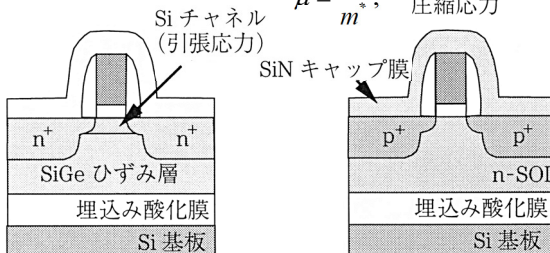
マルチゲートFETの製造工程:



16

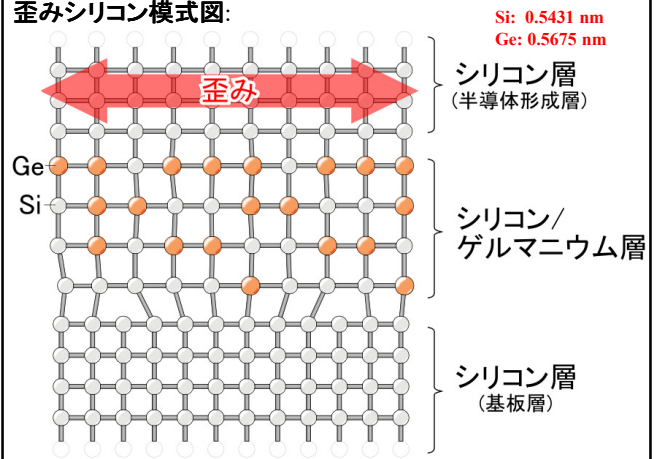
歪みトランジスタ: シリコンの格子間隔を広げる(縮める)と、電子(ホール)の有効質量 m^* が小さくなり、FETの動作速度が数十%程度向上する。格子間隔を広げるにはチャンネル下部に $\text{Si}_{1-x}\text{Ge}_x$ ひずみ層をつくる。縮めるには Si_3N_4 キャップ層をFETの上に被せる。

$$\mu = \frac{e\tau}{m^*}, \quad \text{圧縮応力}$$



n チャンネル MOS
SiGe 埋込み層による応力付加
p チャンネル MOS
SiN キャップ膜による応力付加

歪みシリコン模式図:



(1) n-Si pウェル pウェル

(2) nウェル p-Si nウェル

(3) nウェル pウェル ツインウェル

高抵抗Si

Figure 1 consists of three schematic diagrams of MOSFET structures, labeled (a), (b), and (c). Each diagram shows a cross-section of the device with various layers and regions labeled.

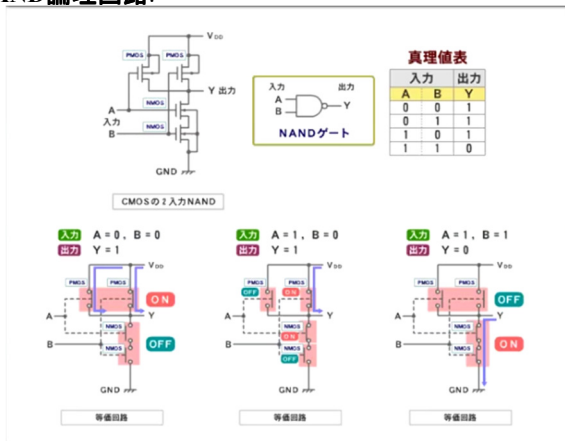
- (a) nウェル構造 (n-well structure):** This diagram shows a cross-section of a MOSFET with an n-well. The substrate is p-type (p⁺基板). The well is n-type (nウェル). The gate is p-type (ゲート酸化膜). The source and drain are n-type (ソース, ドレイン). The gate oxide is SiO₂. The well is formed by CVD SiO₂. The substrate is p-type (p⁺基板).
- (b) pウェル構造 (p-well structure):** This diagram shows a cross-section of a MOSFET with a p-well. The substrate is n-type (nエピタキシャル層). The well is p-type (pウェル). The gate is n-type (ゲート酸化膜). The source and drain are p-type (ソース, ドレイン). The gate oxide is SiO₂. The well is formed by CVD SiO₂. The substrate is n-type (nエピタキシャル層).
- (c) ツインウェル構造 (twin-well structure):** This diagram shows a cross-section of a MOSFET with a twin-well structure. The substrate is n-type (n⁺基板). The well is p-type (pウェル). The gate is n-type (ゲート酸化膜). The source and drain are p-type (ソース, ドレイン). The gate oxide is SiO₂. The well is formed by CVD SiO₂. The substrate is n-type (n⁺基板).

- ・消費電力が低い
- ・低電圧でも動作する

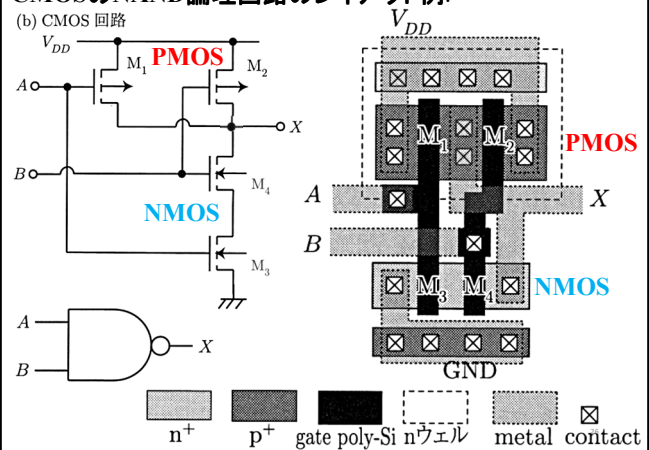
➡ 半導体の中で、最も多く使用されている

The figure consists of two parts. The top part is a circuit schematic of a CMOS inverter. It shows a PMOS transistor with threshold voltage V_{Tp} and an NMOS transistor with threshold voltage V_{Tn} . The gates of both transistors are connected to the input V_i . The source of the PMOS is connected to V_{DD} and its drain is connected to the output V_o . The source of the NMOS is connected to V_{SS} and its drain is also connected to the output V_o . The bottom part is a cross-sectional view of the device. It shows an $n(100)\text{Si}$ substrate with a p -well region. The PMOS transistor is formed in the p -well with a p^+ body contact. The NMOS transistor is formed in an n -region with an n^- body contact. The gates are made of SiO_2 and Al . The input V_i and output V_o are connected to the gates and drains, respectively. The power supply terminals V_{DD} and V_{SS} are also shown.

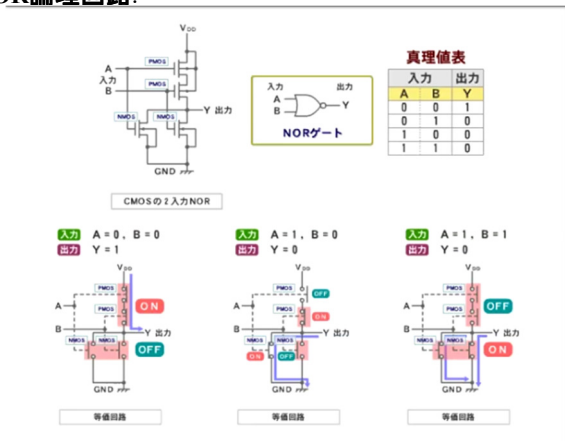
NAND論理回路:



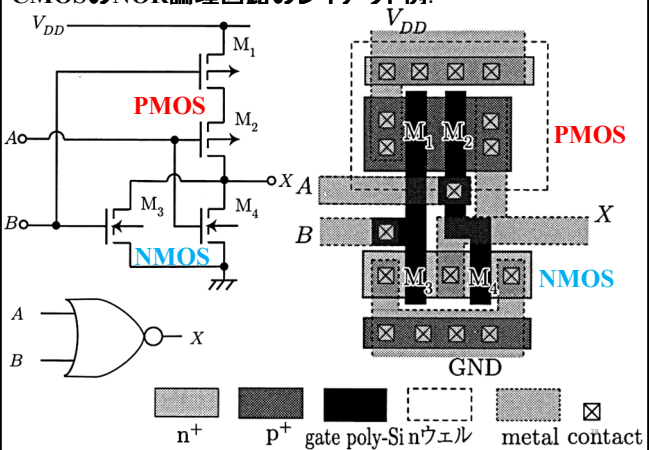
CMOSのNAND論理回路のレイアウト例:



NOR論理回路:



CMOSのNOR論理回路のレイアウト例:



次回の予告: MOS-IC 2:
不揮発性メモリー、ナノエレクトロニクス

